

Docket No.: 60188-772

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Yukihiro SASAGAWA : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: February 12, 2004 : Examiner:

For: CLOCK CONTROL IN SEQUENTIAL CIRCUIT FOR LOW-POWER OPERATION
AND CIRCUIT CONVERSION TO LOW-POWER SEQUENTIAL CIRCUIT

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Information Disclosure
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-034532, filed February 13, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: February 12, 2004

日本国特許庁
JAPAN PATENT OFFICE

60188-772
Sasagawa
Feb. 12, 2004

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月13日
Date of Application:

出願番号 特願2003-034532
Application Number:

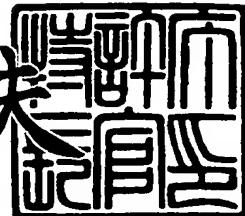
[ST. 10/C] : [JP2003-034532]

出願人 松下電器産業株式会社
Applicant(s):

2004年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 5038230007

【提出日】 平成15年 2月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 7/00

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 笹川 幸宏

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 順序回路、記憶素子、クロック発生回路およびクロック制御方法、ならびに回路変更方法および回路設計支援装置、半導体集積回路およびそれを備えた電子装置、ならびに電子制御装置およびそれを備えた移動体

【特許請求の範囲】

【請求項1】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、

前記変化信号に基づいてクロックパルスを発生させ、前記スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを備えた

ことを特徴とする順序回路。

【請求項2】 請求項1に記載の順序回路において、

前記マスターセルを少なくとも一つ含むマスターセルグループと、

前記スレーブセルであって、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したときに入力が変化するスレーブセルを少なくとも一つ含むクロックドメインとを備え、

前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものであり、

前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものである

ことを特徴とする順序回路。

【請求項3】 請求項1に記載の順序回路において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信

号を出力する変化検出器である
ことを特徴とする順序回路。

【請求項4】 請求項1に記載の順序回路において、
前記マスターセルは、当該マスターセルの記憶内容が変化したことを示す原変
化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、
前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出
力する原変化信号に基づいて前記変化信号を出力するものである
ことを特徴とする順序回路。

【請求項5】 請求項1に記載の順序回路において、
前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生
を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力
する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要
求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパ
ルス発生要求信号線を有するものであり、
前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したと
き、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前
記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器で
ある
ことを特徴とする順序回路。

【請求項6】 与えられたクロックに同期して記憶内容を更新する記憶素子
であって、
前記与えられたクロックが第1の論理値に変化したとき、与えられた信号を取
り込み、前記与えられたクロックが第2の論理値に変化したとき、当該取り込
んだ信号を当該記憶素子の記憶内容として保持するラッチ回路と、

前記ラッチ回路の入力と出力とが異なる場合に前記与えられたクロックが前記
第1の論理値に変化したとき、当該記憶素子の記憶内容が変化したことを示す変
化信号を出力する変化検出回路とを備えた
ことを特徴とする記憶素子。

【請求項7】 請求項6に記載の記憶素子において、

前記与えられたクロックが前記第2の論理値に変化するとき、与えられた信号を取り込み、前記与えられたクロックが前記第1の論理値に変化するとき、当該取り込んだ信号を保持するマスターラッチ回路を備え、

前記ラッチ回路は、前記マスターラッチから出力される信号を取り込むスレーブラッチ回路であり、

前記変化検出回路は、

前記スレーブラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、

前記第1の論理素子の出力を遅延させる遅延素子と、

前記遅延素子の出力が前記所定の論理値であり、かつ、前記与えられたクロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものである

ことを特徴とする記憶素子。

【請求項8】 請求項6に記載の記憶素子において、

前記変化検出回路は、

前記与えられたクロックに基づいて、当該与えられたクロックよりも短いパルス幅の基本クロックを生成する基本クロック生成回路と、

前記ラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、

前記第1の論理素子の出力が前記所定の論理値であり、かつ、前記基本クロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものであり、

前記ラッチ回路は、前記与えられたクロックとして前記変化信号を受けるものである

ことを特徴とする記憶素子。

【請求項9】 クロックパルスの発生を要求する要求信号に基づいて当該クロックパルスを発生させるクロック発生回路であって、

前記クロックパルスを発生させるクロックパルス発生器と、

前記クロックパルス発生器に前記要求信号を伝達するための信号線であって、

要求発行信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線とを備え、

前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与えるものであることを特徴とするクロック発生回路。

【請求項10】 請求項9に記載のクロック発生回路において、

前記クロックパルス発生器は、

前記クロックパルスの元となる原クロックが与えられるものであり、かつ、

前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち下がりに同期して所定の論理値を保持するラッチ回路と、

前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる正極性パルスを出力する第1の論理素子と、

前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち下がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものであることを特徴とするクロック発生回路。

【請求項11】 請求項9に記載のクロック発生回路において、

前記クロックパルス発生器は、

前記クロックパルスの元となる原クロックが与えられるものであり、かつ、

前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して所定の論理値を保持するラッチ回路と、

前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる負極性パルスを出力する第1の論理素子と、

前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものであることを特徴とするクロック発生回路。

【請求項12】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路のクロック制御方法であって、

前記複数の記憶素子のうち、ある記憶素子の記憶内容が変化したことを検出するステップと、

前記検出がされたときにクロックパルスを発生させ、前記複数の記憶素子のうち、前記記憶素子の記憶内容が変化したときに入力が変化する記憶素子に、前記与えられたクロックとして当該クロックパルスを与えるステップとを有することを特徴とするクロック制御方法。

【請求項13】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて、新順序回路の接続情報を得る回路変更方法であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出ステップと、

前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出ステップと、

前記抽出されたマスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成ステップと、

前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成ステップと、

前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによつ

て生成されたクロックパルス発生器の接続情報とを合成して、前記新順序回路の接続情報を得る接続情報合成ステップとを有し、

前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成ステップによって抽出されたクロックとしてクロックパルスを発生させるものであることを特徴とする回路変更方法。

【請求項14】 請求項13に記載の回路変更方法において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であり、

前記変化検出手段生成ステップは、前記原順序回路の接続情報から、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであることを特徴とする回路変更方法。

【請求項15】 請求項13に記載の回路変更方法において、

前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものであり、

前記変化検出手段生成ステップは、前記変化検出手段の接続情報として、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものである

ことを特徴とする回路変更方法。

【請求項16】 請求項13に記載の回路変更方法において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力

する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であり、

当該回路変更方法は、

前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換ステップを有し、

前記接続情報合成ステップは、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換ステップによって生成された変換情報を合成して、前記新順序回路の接続情報を得るものであることを特徴とする回路変更方法。

【請求項17】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて、新順序回路の接続情報を得る回路設計支援装置であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出手段と、

前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出手段と、

前記抽出されたマスターセルグループに属するマスターセルのいずれかの記憶

内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成手段と、

前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成手段と、

前記原順序回路の接続情報と、前記変化検出手段生成手段によって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報を合成して、前記新順序回路の接続情報を得る接続情報合成手段とを有し、

前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成手段によって抽出されたクロックとしてクロックパルスを発生させるものであることを特徴とする回路設計支援装置。

【請求項18】 請求項17に記載の回路設計支援装置において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であり、

前記変化検出手段生成手段は、前記原順序回路の接続情報から、前記マスターセルグループ抽出手段によって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであることを特徴とする回路設計支援装置。

【請求項19】 請求項17に記載の回路設計支援装置において、

前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出

力する原変化信号に基づいて前記変化信号を出力するものであり、

前記変化検出手段生成手段は、前記変化検出手段の接続情報として、前記マスターセルグループ抽出手段によって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものである

ことを特徴とする回路設計支援装置。

【請求項20】 請求項17に記載の回路設計支援装置において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であり、

当該回路設計支援装置は、

前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換手段を有し、

前記接続情報合成手段は、前記原順序回路の接続情報と、前記変化検出手段生成手段によって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換手段によって生成された変換情報を合成して、前記新順序回路の接続情報を得るものである

ことを特徴とする回路設計支援装置。

【請求項21】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数有する順序回路を備えた半導体集積回路であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスター

ルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記順序回路は、

前記マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、

前記変化信号に基づいてクロックパルスを発生させ、前記スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを有する

ことを特徴とする半導体集積回路。

【請求項 2 2】 請求項 2 1 に記載の半導体集積回路において、

前記順序回路は、

前記マスターセルを少なくとも一つ含むマスターセルグループと、

前記スレーブセルであって、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したときに入力が変化するスレーブセルを少なくとも一つ含むクロックドメインとを有し、

前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものであり、

前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものである

ことを特徴とする半導体集積回路。

【請求項 2 3】 請求項 2 1 に記載の半導体集積回路において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器である

ことを特徴とする半導体集積回路。

【請求項 2 4】 請求項 2 1 に記載の半導体集積回路において、

前記マスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出

力する原変化信号に基づいて前記変化信号を出力するものであることを特徴とする半導体集積回路。

【請求項25】 請求項21に記載の半導体集積回路において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器である

ことを特徴とする半導体集積回路。

【請求項26】 半導体集積回路を備えた通信装置であって、

前記半導体集積回路は、請求項21に記載の半導体集積回路であることを特徴とする通信装置。

【請求項27】 半導体集積回路を備えた情報再生装置であって、

前記半導体集積回路は、請求項21に記載の半導体集積回路であることを特徴とする情報再生装置。

【請求項28】 半導体集積回路を備えた画像再生装置であって、

前記半導体集積回路は、請求項21に記載の半導体集積回路であることを特徴とする画像表示装置。

【請求項29】 半導体集積回路を備えた電子装置であって、

前記半導体集積回路は、請求項21に記載の半導体集積回路であることを特徴とする電子装置。

【請求項30】 半導体集積回路を備えた電子制御装置であって、

前記半導体集積回路は、請求項21に記載の半導体集積回路であることを特徴とする電子制御装置。

【請求項31】 電子制御装置を備えた移動体であって、

前記電子制御装置は、請求項30に記載の電子制御装置であることを特徴とする移動体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路のクロック制御技術および回路変換技術に関するものであり、特に、順序回路の動作電力を低減するためのクロック制御技術、および一般的な順序回路を低電力動作可能な順序回路に変換するための回路変換技術に関する。さらに、そのような低電力動作可能な順序回路を有する半導体集積回路を備えた通信装置、情報再生装置、画像表装置その他電子装置および電子制御装置、ならびにそのような電子制御装置を備えた移動体に関する。

【0002】

【従来の技術】

順序回路の低電力動作を実現する回路方式の一つにクロック制御がある。従来のクロック制御技術は、大きく2種類に分けることができる。

【0003】

図34は、従来のクロック制御技術の概要を示す。同図(a)に示したデータ制御回路100は、与えられたクロックCLKに同期して記憶内容を更新する記憶素子11の出力および与えられたデータのいずれか一方を、データ入力選択信号SELによって選択し、記憶素子11の入力とする。記憶素子11の記憶内容が更新されるのは、与えられたクロックCLKの立ち上がりまたは立ち下がりのタイミングである。したがって、データ制御回路100が新しい記憶内容として記憶素子11の出力を選択しているということと、クロックCLKが変化しないということとは、記憶素子11の記憶内容を更新する機能について等価である。そこで、この回路構成を、同図(b)に示すように、クロック制御回路101を備えた回路構成に置き換えることが可能となる。クロック制御回路101は、データ入力選択信号SELに基づいて記憶素子11に与えるべきクロックCLKの制御を行う。そして、記憶素子11は、クロックCLKに同期して記憶内容を更新する(たとえば、特許文献1参照)。

【0004】

図35は、別の従来のクロック制御技術の概要を示す。同図(a)に示すように、前提として、記憶素子11a, 11bの出力が組み合わせ回路12を経由して記憶素子11cに入力されているものとする。記憶素子11cの記憶内容が更新されるのは同期クロックCLKの立ち上がりまたは立ち下がりのタイミングである。ここで、この回路の機能的仕様が、「ある期間、記憶素子の記憶内容が更新されなくとも回路機能には影響がない」となっている場合を想定する。この場合、同図(b)に示すように、クロック制御回路101によって、クロック制御信号CTLに基づいてクロックCLKの供給/停止の制御を行う回路構成に等価に置き換えることができる（たとえば、特許文献2参照）。

【0005】

【特許文献1】

特開平11-149496号公報

【特許文献2】

特開平8-263466号公報

【0006】

【発明が解決しようとする課題】

一般に、順序回路の仕様は、(a)クロック停止が可能、(b)クロック停止が不可能、と分類することができる。(b)はさらに、(b-1)記憶素子出力のフィードバックが存在する、(b-2)記憶素子出力のフィードバックが存在しない、というように大きく二つに分類することができる。

【0007】

上記分類によると、図34に示した従来技術は(b-1)であり、また、図35に示した従来技術は(a)である。すなわち、図34に示した従来技術については、データ制御回路100の存在が前提となり、図35に示した従来技術については、記憶素子11cの動作が停止しても、回路機能が影響を受けないような当該停止期間の存在が前提となる。このように、従来のクロック制御技術は特別な前提条件を必要としており、このことが、順序回路のクロック制御を複雑にする原因となっている。

【0008】

上記の問題に鑑み、本発明は、仕様的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しない（これは、上記分類における（b-2）に該当する）ことを前提としたクロック制御の実現、およびそのようなクロック制御によって低電力動作可能な順序回路の実現を課題とする。また、一般的な順序回路を、本発明に係る順序回路に変換するための回路変更方法およびこれを実施する回路設計支援装置の提供を目的とする。さらに、本発明に係る順序回路を備えた半導体集積回路、およびその半導体集積回路を備えた通信装置、情報再生装置、画像装置その他電子装置および電子制御装置、ならびにそのような電子制御装置を備えた移動体の提供を目的とする。

【0009】**【課題を解決するための手段】**

上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路（これら複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含む）として、マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、前記変化信号に基づいてクロックパルスを発生させ、スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを備えたものとする。

【0010】

本発明によると、マスターセルの記憶内容が変化することによって、クロックパルス発生器によってクロックパルスが生成され、スレーブセルのクロックとして与えられる。

【0011】

ここで、マスターセルおよびスレーブセルとは、いずれも、本発明に係る順序回路における記憶素子を識別するために特に定義した用語である。この識別は、記憶素子間の入出力関係によって相対的に行われるものであり、したがって、マスターセルおよびスレーブセルは、順序回路における特定の記憶素子を指すもの

ではない。すなわち、記憶素子のいずれかをマスターセルとしたとき、当該マスターセルの記憶内容が変化することによってその入力が変化するような記憶素子がスレーブセルとなる。

【0012】

したがって、本発明の順序回路では、スレーブセルの入力が変化するときにのみ、当該スレーブセルにクロック（クロックパルス発生器が生成するクロックパルス）が与えられる。

【0013】

ここで注意すべきは、各記憶素子は、マスターセルにも、スレーブセルにもなり得るという点である。すなわち、各記憶素子は、自己の記憶内容の変化によって自己または他の記憶素子の入力に変化を及ぼし得るという点でマスターセルであり、自己または他の記憶素子の記憶内容の変化によってその入力が変化するという点でスレーブセルである。したがって、クロックパルス発生器からクロックパルスが与えられ、記憶内容を更新したスレーブセルは、今度はマスターセルとして機能する。このようにして、記憶素子の記憶内容が連鎖的に変化し、順序回路全体として、各記憶素子へのクロック供給が連鎖的に生じることとなる。これにより、クロック供給に伴う電流消費を低減することができる。

【0014】

また、本発明によると、実際にはクロックが停止されるにもかかわらず、実質的にはクロックを供給し続けているに等しいクロック制御が行われるため、仕様的にクロック停止が不可能であるという前提条件下での動作が保証される。また、スレーブセルに与えられるクロックは、マスターセルの記憶内容の変化に基づいて生成されるものであり、記憶素子（スレーブセル）の出力のフィードバックは存在しない。以上のことから、本発明によって、仕様的にクロック停止が不可能であり、かつ記憶素子出力のフィードバックが存在しないことを前提としたクロック制御によって、低電力で動作可能な順序回路を実現することができる。

【0015】

好ましくは、本発明の順序回路は、前記マスターセルを少なくとも一つ含むマスターセルグループと、前記スレーブセルであって、前記マスターセルグループ

に属するマスターセルのいずれかの記憶内容が変化したときに入力が変化するスレーブセルを少なくとも一つ含むクロックドメインとを備えたものとする。ここで、前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものとする。また、前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものとする。

【0016】

ここで、クロックドメインとは、本発明に係る順序回路において、あるクロックに従って動作する部分あるいは領域（ドメイン）を表すために特に定義した用語である。すなわち、あるクロックドメインに属する記憶素子は、共通したクロックに同期して動作する。逆に言うと、記憶素子について、属するクロックドメインが異なる場合、それら記憶素子は、互いに異なるクロックに同期して動作することとなる。

【0017】

このように、本発明の順序回路では、クロックドメインに属するすべてのスレーブセルに、クロックパルス発生器が生成するクロックパルスを与えるようにすることによって、回路構成を最適化することができる。これにより、回路面積および消費電力をより低減することができる。

【0018】

そして、具体的に、前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であるとする。

【0019】

また、具体的に、前記マスターセルは、当該マスターセルの記憶内容が変化したことを見示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であるとし、前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものとする。

【0020】

また、好ましくは、本発明の順序回路における変化検出手段は、前記クロック

パルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものとする。ここで、前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であるとする。

【0021】

これにより、特に、一のクロックパルス発生器に対して複数のマスターセルが存在する場合に生じる、変化信号に係る信号線の輻湊を回避し、配線混雑度を低減することができる。

【0022】

一方、与えられたクロックに同期して記憶内容を更新する記憶素子として、前記与えられたクロックが第1の論理値に変化したとき、与えられた信号を取り込み、前記与えられたクロックが第2の論理値に変化したとき、当該取り込んだ信号を当該記憶素子の記憶内容として保持するラッチ回路と、前記ラッチ回路の入力と出力とが異なる場合に前記与えられたクロックが前記第1の論理値に変化したとき、当該記憶素子の記憶内容が変化したことを示す変化信号を出力する変化検出回路とを備えたものとする。この記憶素子は、たとえば、本発明の順序回路の構成要素として用いることが可能である。

【0023】

具体的に、上記の記憶素子は、前記与えられたクロックが前記第2の論理値に変化するとき、与えられた信号を取り込み、前記与えられたクロックが前記第1の論理値に変化するとき、当該取り込んだ信号を保持するマスターラッチ回路を備え、前記ラッチ回路は、前記マスターラッチから出力される信号を取り込むスレーブラッチ回路であるとする。ここで、前記変化検出回路は、前記スレーブラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、前記第1の論理素子の出力を遅延させる遅延素子と、前記遅延素子の出力が

前記所定の論理値であり、かつ、前記与えられたクロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものとする。

【0024】

また、具体的に、上記の記憶素子における変化検出回路は、前記与えられたクロックに基づいて、当該与えられたクロックよりも短いパルス幅の基本クロックを生成する基本クロック生成回路と、前記ラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、前記第1の論理素子の出力が前記所定の論理値であり、かつ、前記基本クロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものとする。ここで、前記ラッチ回路は、前記与えられたクロックとして前記変化信号を受けるものとする。

【0025】

一方、クロックパルスの発生を要求する要求信号に基づいて当該クロックパルスを発生させるクロック発生回路として、前記クロックパルスを発生させるクロックパルス発生器と、前記クロックパルス発生器に前記要求信号を伝達するための信号線であって、要求発行信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線とを備えたものとする。ここで、前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与えるものとする。このクロック発生回路は、たとえば、本発明の順序回路の構成要素として用いることが可能である。

【0026】

具体的に、上記のクロック発生回路におけるクロックパルス発生器は、前記クロックパルスの元となる原クロックが与えられるものであり、かつ、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち下がりに同期して所定の論理値を保持するラッチ回路と、前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる正極性パルスを出力する第1の論理素子と、前記要求信号が前記第1の論理値に

変化したとき、前記原クロックの立ち下がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものとする。

【0027】

また、具体的に、上記のクロック発生回路におけるクロックパルス発生器は、前記クロックパルスの元となる原クロックが与えられるものであり、かつ、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して所定の論理値を保持するラッチ回路と、前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる負極性パルスを出力する第1の論理素子と、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものとする。

【0028】

そして、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路のクロック制御方法として、前記複数の記憶素子のうち、ある記憶素子の記憶内容が変化したことを検出するステップと、前記検出がされたときにクロックパルスを発生させ、前記複数の記憶素子のうち、前記記憶素子の記憶内容が変化したときに入力が変化する記憶素子に、前記与えられたクロックとして当該クロックパルスを与えるステップとを有するものとする。

【0029】

一方、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路（これら複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が変化するスレーブセルに相当する記憶素子とを含む）の接続情報に基づいて新順序回路の接続情報を得る回路変更方法として、前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出ステップと、前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出ステップと、前記抽出されたマスター

セルグループに属するマスターセルのいずれかの記憶内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成ステップと、前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成ステップと、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報とを合成して、前記新順序回路の接続情報を得る接続情報合成ステップとを有するものとする。ここで、前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成ステップによって抽出されたクロックとしてクロックパルスを発生させるものとする。

【0030】

好ましくは、本発明の回路変更方法において、前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であるとする。そして、前記変化検出手段生成ステップは、前記原順序回路の接続情報から、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであるとする。

【0031】

また、好ましくは、本発明の回路変更方法において、前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であるとする。また、前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものとする。そして、前記変化検出手段生成ステップは、前記変化検出手段の接続情報として、前記マスターセ

ルグループ抽出ステップによって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものとする。

【0032】

また、好ましくは、本発明の回路変更方法において、前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものとする。また、前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であるとする。そして、本発明の回路変更方法は、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換ステップを有し、前記接続情報合成ステップは、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換ステップによって生成された変換情報を合成して、前記新順序回路の接続情報を得るものとする。

【0033】

一方、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて新順序回路の接続情報を得る回路設計支援装置として、上記の各回路変更方法における各ステップを手段として備えたものとする。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、各

図において、符号の末尾に付した英小文字は、複数の同様の構成要素および信号を、互いに他と識別するためのものである。

【0035】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路10は、与えられたクロックに同期して記憶内容を更新する記憶素子11a, 11b, 11c, 11d, 11e（以下、これらを「記憶素子11」と総称する）を備え、これら記憶素子11のうち、いずれかをマスターセルとし、当該マスターセルの記憶内容が変化することによってその入力が変化するものをスレーブセルとするものである。さらに、順序回路10は、組み合わせ回路12a, 12bと、スレーブセルの同期クロックとしてのクロックパルスCLKPを発生させるクロックパルス発生器13と、マスターセルの記憶内容の変化を検出する変化検出器14とを備えている。

【0036】

ここで、便宜上、順序回路10は、5個の記憶素子11を備えたものとし、そのうちの3個をマスターセル（記憶素子11a, 11b, 11c）とし、2個をスレーブセル（記憶素子11d, 11e）として説明する。なお、実際の回路構成では、順序回路10が備える記憶素子11の個数はさまざまであり、そのうちのいずれがマスターセルまたはスレーブセルであるのかについてもさまざまに決められる。また、同図において、記憶素子11をDフリップフロップとして表しているが、本発明でいう記憶素子はこれに限定されるものではない。与えられたクロックに同期して記憶内容を更新する記憶素子であれば、TフリップフロップやJKフリップフロップその他どのようなものであってもよい。

【0037】

スレーブセル11dは、マスターセル11a, 11b, 11cの各出力を入力とする組み合わせ回路12aを経て出力されるデータを入力するものである。同様に、スレーブセル11eは、マスターセル11a, 11b, 11cの各出力を入力とする組み合わせ回路12bを経て出力されるデータを入力するものである。なお、スレーブセルは、組み合わせ回路を経ずに、マスターセルの出力を直接

入力するものであってもよい。

【0038】

順序回路10は、マスターセル11a, 11b, 11cを含むマスターセルグループ15と、スレーブセル11d, 11eおよび組み合わせ回路12a, 12bを含むクロックドメイン16とを備えている。クロックドメイン16に属するスレーブセル11d, 11eは、マスターセルグループ15に属するマスターセル11a, 11b, 11cのいずれかの記憶内容が変化することによって、その入力が変化する。

【0039】

変化検出器14は、マスターセル11a, 11b, 11cの出力Q1, Q2, Q3に基づいて、マスターセル11a, 11b, 11cのいずれかの記憶内容が変化したか否かを判断し、記憶内容が変化したことを検出したとき、クロック制御信号CTL（本発明の変化信号に相当する）を出力する。

【0040】

クロックパルス発生器13は、クロック制御信号CTLを受けることによって、クロックパルスCLKPを発生させる。クロックパルス発生器13は、順序回路10の同期クロックCLKを入力しており、このクロックCLKに同期してクロックパルスCLKPを発生させる。そして、クロックパルスCLKPは、クロックドメイン16に含まれるスレーブセル11d, 11eに、同期クロックとして与えられる。

【0041】

次に、順序回路10の動作について、図2のタイミングチャートを参照しながら説明する。

【0042】

マスターセル11a, 11b, 11cの出力Q1, Q2, Q3のいずれかが変化すると、その変化が変化検出器14によって検出され、クロック制御信号CTLが出力される。ここでは、出力Q1が変化したものとする。出力Q1が変化することによって、クロック制御信号CTLが出力される。そして、クロックパルス発生器13によって、クロックCLKに同期したクロックパルスCLKPが生

成される。クロック制御信号CTLが出力されない、すなわち、マスターセルの出力が変化しない期間は、クロックパルスCLKPは発生していない。

【0043】

以上、本実施形態によると、マスターセルグループ15に含まれる記憶素子11（マスターセル）のいずれかの記憶内容が変化したときにのみ、クロックドメイン16に含まれる記憶素子11（スレーブセル）にクロック（クロックパルスCLKP）が供給される。したがって、マスターセルの記憶内容が変化しない、すなわち、スレーブセルの入力が変化せず、記憶内容の更新が不要な期間は、当該スレーブセルへのクロックが停止される。そして、スレーブセルは、自己または他のスレーブセルにとってのマスターセルとして機能し、順序回路10全体として、各記憶素子11へのクロック供給が連鎖的に生じる。これにより、仕様的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提としたクロック制御が可能となり、クロック供給に伴う電流消費を低減することができる。

【0044】

また、クロックパルス発生器13によって生成されるクロックパルスCLKPは、順序回路10の同期クロックCLKに同期したものである。したがって、順序回路10におけるクロックスキューが保証され、順序回路10は、同期式順序回路として正しく動作することができる。

【0045】

なお、本実施形態では、変化検出器14は、マスターセルグループ15の1個に付き1個だけ設けられたものとして説明したが、本発明はこれに限定されるものではない。たとえば、マスターセルごとに変化検出器を1個設けるようにして、各変化検出器からの出力の論理和を、クロック制御信号CTLとしてクロックパルス発生器13に与えるようにしてもよい。

【0046】

また、クロックパルス発生器13は、クロックドメイン16の1個に付き1個設けられたものとして説明したが、本発明はこれに限定されるものではない。クロックドメイン16の1個に付き複数のクロックパルス発生器を備えるようにし

てもよい。

【0047】

(第2の実施形態)

図3は、本発明の第2の実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路20は、第1の実施形態に係る順序回路10における記憶素子11に代えて、自己の記憶内容が変化したことを示す変化信号（本発明の原変化信号に相当する）を出力する変化出力付き記憶素子21を備えたものである。以下、順序回路20について、順序回路10と異なる点についてのみ説明する。なお、同図において、図1に示した構成要素および信号と同様のものについては、これと同一の符号を付し、個々の詳細な説明は省略する。

【0048】

順序回路20は、第1の実施形態で説明した変化検出器に代えて、マスターセル21a, 21b, 21cから出力される変化信号M1, M2, M3を入力し、これらの論理和をクロック制御信号CTL（本発明の変化信号に相当する）として出力する論理素子17を備えている。クロックパルス発生器13は、論理素子17からクロック制御信号CTLを受ける。

【0049】

次に、順序回路20の動作について、図4のタイミングチャートを参照しながら説明する。

【0050】

マスターセル11a, 11b, 11cのそれぞれは、その記憶内容が変化した場合、すなわち、ぞれぞれの出力Q1, Q2, Q3の変化に合わせて、変化信号M1, M2, M3をそれぞれ出力する。そして、変化信号M1, M2, M3のいずれかが出力されると、論理素子17からクロック制御信号CTLが出力される。ここでは、マスターセル21aから変化信号M1が出力されたものとする。そして、クロックパルス発生器13によって、クロックCLKに同期したクロックパルスCLKPが生成される。クロック制御信号CTLが出力されない、すなわち、マスターセルから変化信号が出力されない期間は、クロックパルスCLKPは発生していない。

【0051】

次に、変化出力付き記憶素子21の具体例として記憶素子21Aについて説明する。

【0052】

図5は、記憶素子21Aの回路構成を示す。記憶素子21Aは、記憶素子21Aに与えられた信号Dを取り込み、これを保持するマスターラッチ回路211aと、マスターラッチ回路211aの出力D0を取り込み、これを記憶素子21Aの記憶内容として保持するスレーブラッチ回路211bと、スレーブラッチ回路211bの入力D0と出力Qとの排他論理和を演算し、信号XORを出力する論理素子212（本発明の第1の論理素子に相当する）と、信号XORを遅延させ、信号DXORを出力する遅延素子213と、信号DXORと記憶素子21Aに与えられたクロックCKとの論理積を演算し、変化信号Mを出力する論理素子214（本発明の第2の論理素子に相当する）とを備えている。なお、論理素子212、遅延素子213および論理素子214から構成される部分が、本発明の変化検出回路218に相当する。

【0053】

上記の通りに構成された記憶素子21Aの動作について、図6のタイミングチャートを参照しながら説明する。

【0054】

マスターラッチ回路211aは、クロックCKが“L”（本発明の第2の論理値に相当する）に変化するとき、信号Dを取り込む一方、クロックCKが“H”（本発明の第1の論理値に相当する）に変化するとき、取り込んだ信号Dを保持する。したがって、マスターラッチ回路211aは、クロックCKが“L”に変化し、次に“L”に変化するまでの1周期の間、信号D0の値を保持する。一方、スレーブラッチ回路211bは、クロックCKが“H”に変化するとき、マスターラッチ回路211aの出力信号D0を取り込む一方、クロックCKが“L”に変化するとき、取り込んだ信号D0を保持する。

【0055】

クロックCKが“L”に変化して、信号D0の値が変化してから、次にクロック

クロックCKが“H”に変化して、信号D0がスレーブラッチ回路211bに取り込まれるまでの間、スレーブラッチ回路211bの入力D0と出力Qとは、互いに異なる論理値となっている。よって、この間、論理素子212の出力XORは、所定の真の論理値（ここでは“H”とする）となる。そして、遅延素子213によって信号XORは遅延し、その結果である信号DXORによって、この真の論理値の状態は、信号D0がスレーブラッチ回路211bに取り込まれるタイミング（クロックCKが“H”となるタイミング）まで維持される。そして、論理素子214によって、信号DXORとクロックCKとの論理積が演算され、その結果として、変化信号Mが出力される。

【0056】

以上のように、記憶素子21Aは、与えられたクロックCKの立ち上がりに同期して、自己の記憶内容を更新し、記憶内容が変化した場合に、変化信号Mとしてパルスを発する。

【0057】

次に、変化出力付き記憶素子21の別の具体的として記憶素子21Bについて説明する。

【0058】

図7は、記憶素子21Bの回路構成を示す。記憶素子21Bは、記憶素子21Bに与えられた信号Dを取り込み、これを保持するラッチ回路211と、ラッチ回路211の入力Dと出力Qとの排他論理和を演算し、信号XORを出力する論理素子212（本発明の第1の論理素子に相当する）と、記憶素子21Aに与えられたクロックCKから、このクロックCKよりも短いパルス幅の基本クロックPCK'を生成する基本クロック生成回路215と、信号XORと基本クロックPCK'との論理積を演算し、変化信号Mを出力する論理素子214（本発明の第2の論理素子に相当する）とを備えている。ここで、論理素子214の出力は、ラッチ回路211の動作を制御するクロックパルスPCKである。なお、論理素子212、基本クロック生成回路215および論理素子214から構成される部分が、本発明の変化検出回路219に相当する。

【0059】

上記の通りに構成された記憶素子21Bの動作について、図8のタイミングチャートを参照しながら説明する。

【0060】

ラッチ回路211は、クロックパルスPCKが“H”（本発明の第1の論理値に相当する）に変化するとき、信号Dを取り込む一方、クロックパルスPCKが“L”（本発明の第2の論理値に相当する）に変化するとき、取り込んだ信号Dを保持する。したがって、信号Dの値が変化してから、クロックパルスPCKが“H”に変化して、信号Dがラッチ回路211に取り込まれるまでの間、ラッチ回路211の入力Dと出力Qとは互いに異なる論理値となっている。よって、この間、論理素子212の出力XORは、所定の真の論理値（ここでは“H”とする）となる。また、基本クロック生成回路215からは、基本クロックPCK'が出力されている。そして、論理素子214によって、信号XORと基本クロックPCK'との論理積が演算され、その結果として、真の論理値の変化信号MおよびクロックパルスPCKが出力される。

【0061】

クロックパルスPCKが真の論理値（“H”）となることにより、信号Dがラッチ回路211に取り込まれ、ラッチ回路211の入力Dと出力Qとは等しい論理値となる。これにより、論理素子212の出力XORが、偽の論理値（ここでは“L”とする）となり、論理素子214から出力される変化信号MおよびクロックパルスPCKも偽の論理値（“L”）となる。

【0062】

以上のように、記憶素子21Bは、与えられたクロックCKの立ち上がりに同期して、自己の記憶内容を更新し、記憶内容が変化した場合に、所定のパルス幅の変化信号Mを出力する。この変化信号Mは、記憶素子21B内部のラッチ保持パルスとして、充分なオンドュティー期間を有するものである。記憶素子21Bでは、ラッチ保持パルス（クロックパルスPCK）として変化信号Mを用いており、これにより、最小限のラッチ保持パルス幅を確保することが可能となっている。

【0063】

以上、本実施形態によると、変化出力付き記憶素子を備えることによって、マスターセルグループに含まれるマスターセルの記憶内容が変化したことを、容易に検出することができ、また、マスターセルの記憶内容の変化を検出するための回路を簡略化することができる。

【0064】

なお、変化出力付き記憶素子21の具体的として示した記憶素子21A, 21Bは、ほんの一例に過ぎず、本発明はこれに限定されるものではない。変化出力付き記憶素子21として、ほかにもさまざまな回路構成が可能である。たとえば、与えられたクロックの立ち下がりに同期して記憶内容を更新する変化出力付き記憶素子も、上記と同様の回路構成で実現可能である。この場合、本発明の第1および第2の論理値は、それぞれ“L”および“H”に読み替えることとなる。

【0065】

(第3の実施形態)

第1および第2の実施形態に係る順序回路10, 20では、マスターセルグループに含まれるマスターセルが複数になると、出力信号Qおよび変化信号Mの数が増加し、クロックパルス発生器にマスターセルの記憶内容の変化を伝達するための信号線が輻湊してしまう。そこで、この信号線の混雑度を解消するための回路構成を実現するのが、本発明の第3の実施形態である。

【0066】

本実施形態に係る順序回路の説明に先立って、まず、本実施形態に係るクロック発生回路について説明する。

【0067】

図9は、本実施形態に係るクロック発生回路の回路構成を示す。クロック発生回路22は、クロックパルスCLKを発生させるクロックパルス発生器23と、クロックパルス発生器23にクロックパルスの発生を要求する要求信号CLKREQを伝達するためのクロックパルス発生要求信号線25とを備えている。

【0068】

クロックパルス発生要求信号線25は、オープンドレインバッファ26を介して、要求信号CLKREQの発行元となる回路（要求発行回路）と接続され、要

求発行回路からの要求発行信号を受けるようになっている。なお、同図の例では、要求発行信号A, B, Cを発する3個の要求発行回路が接続されている。要求発行回路として、第1の実施形態に係る順序回路10における変化検出器14や、第2の実施形態に係る順序回路20における変化出力付き記憶素子21がこれに該当する。また、要求発行信号として、変化検出器14が output するクロック制御信号や、変化出力付き記憶素子21が output する変化信号がこれに該当する。

【0069】

また、クロックパルス発生要求信号線25は、クロックパルス発生器23と直接接続され、クロックパルス発生器23に要求信号CLKREQを与えるようになっている。さらに、オープンドレインバッファ27を介して、クロックパルス発生器23と接続され、クロックパルス発生器23から要求更新信号CLKREQMODを受けるようになっている。

【0070】

クロックパルス発生器23は、要求信号CLKREQが、クロックパルスの発生を要求する第1の論理値となることによって、クロックパルスCLKを発生させるとともに、クロックパルス発生要求信号線25に要求更新信号CLKREQMODを出力する更新出力付きクロックパルス発生器である。

【0071】

次に、クロック発生回路22の動作について、図10のタイミングチャートを参照しながら説明する。

【0072】

クロックパルス発生要求信号線25は、要求発行信号A, B, Cのいずれかを受けることによって“L”レベルの電圧となる。これによって、要求信号CLKREQは、クロックパルスの発生を要求する第1の論理値となる。そして、要求信号CLKREQが第1の論理値となることによって、クロックパルスCLKが出力される。これとタイミングを同じくして、要求更新信号CLKREQMODが出力される。そして、クロックパルス発生要求信号線25は、要求更新信号CLKREQMODを受けることによって“H”レベルの電圧となる。すなわち、定常状態に復帰する。これによって、要求信号CLKREQは、クロックパルス

の発生要求を解除する第2の論理値となる。

【0073】

次に、更新出力付きクロックパルス発生器23の具体的としてクロックパルス発生器23Aについて説明する。

【0074】

図11は、クロックパルス発生器23Aの回路構成を示す。クロックパルス発生器23Aは、端子CLKORGに与えられた原クロックCLKORGの立ち下がりに同期して、端子Mに与えられた要求信号Mを取り込むラッチ回路231と、ラッチ回路231の出力Qと原クロックCLKORGとの論理積を演算し、端子CLKからクロックパルスCLKを出力する論理素子232（本発明の第1の論理素子に相当する）と、原クロックCLKORGの反転と信号Mとの論理積を演算し、端子MCLRから要求更新信号MCLRを出力する論理素子233（本発明の第2の論理素子に相当する）とを備えている。

【0075】

上記の通りに構成されたクロックパルス発生器23Aの動作について、図12のタイミングチャートを参照しながら説明する。

【0076】

要求信号Mが“H”（本発明の第1の論理値に相当する）のとき、原クロックCLKORGの立ち下がりに同期して、要求信号Mがラッチ回路231に取り込まれる。これとタイミングを同じくして、論理素子233から要求更新信号MCLRが出力される。これにより、要求信号Mは“L”（本発明の第2の論理値に相当する）に復帰する。要求信号Mが“L”となっても、ラッチ回路231の出力Qは、1周期の間、保持される。すなわち、ラッチ回路231は、1周期の間、要求信号Mが“H”であることに基づく所定の論理値（ここでは“H”）を保持する。そして、論理素子232によって、ラッチ回路231の出力Qと原クロックCLKORGとの論理積が演算され、原クロックCLKORGに同期して、正極性のクロックパルスCLKが出力される。

【0077】

以上のように、クロックパルス発生器23Aは、与えられた原クロックCLK

ORGの立ち下がりに同期して、クロックパルスCLKとして正極性パルスを発するとともに、要求更新信号MCLRを発する。

【0078】

次に、更新出力付きクロックパルス発生器23の別の具体的としてクロックパルス発生器23Bについて説明する。

【0079】

図13は、クロックパルス発生器23Bの回路構成を示す。クロックパルス発生器23Bは、端子CLKORGに与えられた原クロックCLKORGの立ち上がりに同期して、端子Mに与えられた要求信号Mを反転した信号を取り込むラッチ回路231と、ラッチ回路231の出力Qと原クロックCLKORGとの論理和を演算し、端子CLKからクロックパルスCLKを出力する論理素子234（本発明の第1の論理素子に相当する）と、原クロックCLKORGと信号Mとの論理積を演算し、端子MCLRから要求更新信号MCLRを出力する論理素子233（本発明の第2の論理素子に相当する）とを備えている。

【0080】

上記の通りに構成されたクロックパルス発生器23Bの動作について、図14のタイミングチャートを参照しながら説明する。

【0081】

要求信号Mが“H”（本発明の第1の論理値に相当する）のとき、原クロックCLKORGの立ち上がりに同期して、要求信号Mを反転した信号がラッチ回路231に取り込まれる。これとタイミングを同じくして、論理素子233から要求更新信号MCLRが出力される。これにより、要求信号Mは“L”（本発明の第2の論理値に相当する）に復帰する。要求信号Mが“L”となっても、ラッチ回路231の出力Qは、1周期の間、保持される。すなわち、ラッチ回路231は、1周期の間、要求信号Mが“H”であることに基づく所定の論理値（ここでは“L”）を保持する。そして、論理素子234によって、ラッチ回路231の出力Qと原クロックCLKORGとの論理和が演算され、原クロックCLKORGに同期して、負極性のクロックパルスCLKが出力される。

【0082】

以上のように、クロックパルス発生器23Bは、与えられた原クロックCLKORGの立ち上がりに同期して、クロックパルスCLKとして負極性パルスを発するとともに、要求更新信号MCLRを発する。

【0083】

次に、上記のクロック発生回路を備えた本実施形態に係る順序回路について説明する。

【0084】

図15は、本実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路30は、記憶素子として、第2の実施形態で説明した変化出力付き記憶素子21を備えるとともに、クロックパルス発生要求信号線25と、クロックパルス発生器として、上記の更新出力付きクロックパルス発生器23とを備えている。同図は、マスターセルグループ15、クロックドメイン16、クロックパルス発生器23およびクロックパルス発生要求信号線25からなる処理ブロックを4組描いたものである。各符号の末尾に付した“a”から“d”が、これら処理ブロックの別を表している。なお、順序回路30の構成については、これまでに説明した通りであるので、ここでは説明を省略する。

【0085】

次に、順序回路30の動作について、図16のタイミングチャートを参照しながら説明する。ここでは、記憶素子21aの記憶内容が変化した場合を想定し、記憶素子21aの出力をQ1、記憶素子21eの出力をQ2、そして、記憶素子21iの出力をQ3として説明する。

【0086】

クロックCLK0は、順序回路30の同期クロックである。まず、あるタイミングで記憶素子21aの記憶内容が変化する(Q1)。このとき、記憶素子21aからクロックパルス発生要求信号線25aに変化信号が出力され、要求信号CLKREQaが真の論理値(同図では“H”として表している)となる。これにより、クロックパルス発生器23aからクロックパルスCLKaが発せられる。クロックパルスCLKaは、クロックドメイン16aに含まれる記憶素子21eに与えられ、記憶素子21eは、クロックパルスCLKaに同期してその記憶内

容を更新する（Q2）。記憶素子21eは、記憶素子21aをマスターセルとしたときのスレーブセルに相当するものである。

【0087】

続いて、記憶素子21eからクロックパルス発生要求信号線25cに変化信号が output され、要求信号CLKREQcが真の論理値（同図では“H”として表している）となる。これにより、クロックパルス発生器23cからクロックパルスCLKcが発せられる。クロックパルスCLKcは、クロックドメイン16cに含まれる記憶素子21iに与えられ、記憶素子21iは、クロックパルスCLKcに同期してその記憶内容を更新する（Q3）。記憶素子21iは、記憶素子21eをマスターセルとしたときのスレーブセルに相当するものである。

【0088】

以上のように、順序回路内で記憶素子の記憶内容が連鎖的に変化し、これに伴い、入力に変化が生じた記憶素子にのみクロックが供給される。たとえば、上記の例では、記憶素子21e, 21iには、入力に変化が生じたときにクロックパルスCLKa, CLKcが供給されるが、クロックドメイン16b, 16dに含まれる記憶素子は、その入力が変化しないため、クロックパルスCLKb, CLKdが供給されることはない。このように、入力が変化しない記憶素子のクロックを停止することによって、不要なクロックによる消費電力を低減することができる。

【0089】

以上、本実施形態によると、クロックパルス発生器にクロックパルスの発生を要求するクロックパルス発生要求信号線を設けることによって、特に、一のマスターセルグループに複数のマスターセルが含まれる場合に、各マスターセルから出力される変化信号の信号線の輻湊を回避することができる。これは、実際のLSIにおける配線混雑度の低減の効果を奏する。

【0090】

また、本実施形態に係るクロックパルス発生器は、正極性および負極性のいずれのクロックパルスをも発することが可能である。一般に、クロック同期システムは、正極性および負極性のいずれかのクロックパルスを前提に設計するもので

あり、本発明は、いずれのクロック同期システムについても適用が可能である。

【0091】

なお、更新出力付きクロックパルス発生器23の具体的として示したクロックパルス発生器23A, 23Bは、ほんの一例に過ぎず、本発明はこれに限定されるものではない。更新出力付きクロックパルス発生器23として、ほかにもさまざまな回路構成が可能である。

【0092】

また、本実施形態で例示した順序回路は、記憶素子として、第2の実施形態に係る変化出力付きのものであるが、一般的な記憶素子を用いても、上記と同様の効果を得ることができる。

【0093】

(第4の実施形態)

図17は、本発明の第4の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置110は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報D11に基づいて、新順序回路の接続情報D52を得るものである。ここで、新順序回路は、第1の実施形態に係る順序回路10である。回路設計支援装置110は、スレーブセル抽出手段、マスターセルグループ抽出手段、変化検出手段生成手段、クロックパルス発生器生成手段、および接続情報合成手段を備えている。以下、各手段について順に説明する。

【0094】

図18は、スレーブセル抽出手段の処理フローを示す。まず、原順序回路の接続情報D11から、リファレンス名とインスタンス名との対応関係を抽出する(S11)。ここで、リファレンス名とは、論理素子の種類（“x x AND”, “x x OR”, “x x FF”など）を表す識別子であり、インスタンス名とは、回路接続情報中の各論理素子を区別する識別子（“CELL_1”など）である。なお、同図中に示した“CELL_1”その他のインスタンス名は、図17中の回路図に示した各論理素子に対応するものである。ステップS11によって、接続情報D11を構成する論理素子のリファレンス名、インスタンス名の対応関係

がデータベース（リファレンス名－インスタンス名対応情報D12）に登録される。次に、各論理素子のリファレンス名が、記憶素子（“xxFF”）を表すものか否かが判定される（S12）。そして、ステップS12によって記憶素子であると判定された論理素子のインスタンス名が、新順序回路におけるスレーブセルであるとして出力される（S13）。以上の手順により、スレーブセル名リストD13が生成される。

【0095】

図19は、マスターセルグループ抽出手段の処理フローを示す。まず、スレーブセル名リストD13に含まれるスレーブセルごとに、当該スレーブセルのインスタンス名に基づいて、原順序回路の接続情報D11に記載されているデータ入力信号名が抽出され、データ入力信号名情報D21が生成される（S21）。そして、接続情報D11から、データ入力信号名情報D21に含まれる信号を出力とする論理素子が抽出され、リファレンス名－インスタンス名対応情報D22が生成される（S22）。続いて、リファレンス名－インスタンス名対応情報D22に含まれる論理素子のリファレンス名が、記憶素子（“xxFF”）を表すものか否かが判定される（S23）。ここで、記憶素子を表すものではないと判定された場合、当該論理素子の入力信号名が抽出され、ステップS22、S23が再帰的に実行される（S24）。最終的に、ステップS23において記憶素子であると判定された論理素子のインスタンス名が、新順序回路におけるマスターセルであるとして出力される（S25）。以上の手順により、マスターセルグループを表すマスターセル名リストD23が生成される。

【0096】

図20は、変化検出手段生成手段の処理フローを示す。まず、原順序回路の接続情報D11およびマスターセル名リストD23に基づいて、マスターセルグループごとに、当該マスターセルグループに含まれるすべての記憶素子のデータ出力信号が抽出され、データ出力信号名情報D31が生成される（S31）。次に、変化検出器（変化検出手段）の雛型接続情報D32を用いて、変化検出器の接続情報D33が生成される（S32）。この雛形接続情報D32には、信号接続の目印になる記号（“\$\$”など）が定義されている。そして、この目印に、デ

ータ出力信号名情報D 3 1に含まれるデータ出力信号を当てはめることによって、変化検出器の接続情報D 3 3が生成される。

【0097】

図21は、クロックパルス発生器生成手段の処理フローを示す。まず、原順序回路の接続情報D 1 1およびスレーブセル名リストD 1 3に基づいて、クロックドメインごとに、当該クロックドメインに含まれるすべての記憶素子のクロック信号が抽出され、クロック信号名情報D 4 1が生成される(S 4 1)。ここで、スレーブセル名リストD 1 3に含まれるスレーブセルのうち、マスターセル名リストD 2 3に含まれるマスターセルグループが等しいもの同士が、新順序回路における同一のクロックドメインに属するものである。次に、クロックパルス発生器の雑型接続情報D 4 2を用いて、クロックパルス発生器の接続情報D 4 3が生成される(S 4 2)。この雑形接続情報D 4 2には、信号接続の目印になる記号(“\$ \$”など)が定義されている。そして、この目印に、クロック信号名情報D 4 1に含まれるクロック信号を当てはめることによって、クロックパルス発生器の接続情報D 4 3が生成される。

【0098】

図22は、接続情報合成手段の処理フローを示す。まず、変化検出器の接続情報D 3 3およびクロックパルス発生器の接続情報D 4 3から、原順序回路の接続情報D 1 1に追加すべき差分情報D 5 1が生成される(S 5 1)。次に、接続情報D 1 1と差分情報D 5 1とを合成することによって、新順序回路の接続情報D 5 2が生成される(S 5 2)。

【0099】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、クロックパルス発生器を備えた本発明の順序回路(新順序回路)に変換することができる。

【0100】

(第5の実施形態)

図23は、本発明の第5の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置120は、与えられたクロックに同期して記憶内容

を更新する記憶素子を複数備えた原順序回路の接続情報D11に基づいて、新順序回路の接続情報D52を得るものである。ここで、新順序回路は、第2の実施形態に係る順序回路20である。

【0101】

回路設計支援装置120が備えている変化検出手段生成手段は、原順序回路における一般的な記憶素子を、自己の記憶内容が変化したことを示す変化信号を出力する変化出力付き記憶素子に変換するものであり、この点が第4の実施形態とは異なっている。以下、この変化検出手段生成手段について説明する。

【0102】

図24は、本実施形態の変化検出手段生成手段の処理フローを示す。まず、マスターセル名リストD23に含まれるマスターセルのうち、リファレンス名対応リストD15に登録されているものが抽出され、記憶素子変換リストD34が生成される(S33)。リファレンス名対応リストD15は、原順序回路における記憶素子11のうち、変化出力付き記憶素子21に変換すべきものを登録したりストである。次に、記憶素子変換リストD34に登録された記憶素子ごとに、変化信号(同図の例では“NET_M00”および“NET_M01”)が新規定義され、出力信号リストD35が生成される(S34)。そして、記憶素子変換リストD34と出力信号リストD35とが組み合わされ、変換情報D36が生成される。

【0103】

図25は、本実施形態に係る接続情報合成手段によって生成される差分情報D51および新順序回路の接続情報D52の一部を示したものである。同図より、差分情報D51に変化出力付き記憶素子(同図の例では“CELL_1”および“CELL_3”)が含まれ、新順序回路の接続情報D52における記憶素子が、変化出力付き記憶素子に置き換えられていることがわかる。

【0104】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、変化出力付き記憶素子を備えた本発明の順序回路(新順序回路)に変換することができる。

【0105】

(第6の実施形態)

図26は、本発明の第6の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置130は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報D11に基づいて、新順序回路の接続情報D52を得るものである。ここで、新順序回路は、第2の実施形態に係るクロックパルス発生要求信号線を備えた順序回路30である。

【0106】

回路設計支援装置130は、第4の実施形態と同様のスレーブセル抽出手段、マスターセルグループ抽出手段、変化検出手段生成手段、クロックパルス発生器生成手段、および接続情報合成手段を備えている。さらに、回路設計支援装置130は、第1および第2の実施形態に係るクロックパルス発生器を、第3の実施形態に係る更新出力付きクロックパルス発生器に変換するクロックパルス発生器変換手段を備えている。以下、クロックパルス発生器変換手段について説明する。

【0107】

図27は、クロックパルス発生器変換手段の処理フローを示す。まず、原順序回路の接続情報D11およびスレーブセル名リストD13に基づいて、変換対象となるクロックパルス発生器のクロック信号名情報D41が生成される(S41)。次に、当該クロックパルス発生器の入力(クロック制御信号)を生成する変化検出器の接続情報D33、当該クロックパルス発生器のクロック信号名情報D41、および更新出力付きクロックパルス発生器の入出力が登録された入出力信号リストD44に基づいて、クロックパルス発生器の変換情報D45が生成される(S43)。

【0108】

図28は、本実施形態に係る接続情報合成手段によって生成される差分情報D51および新順序回路の接続情報D52の一部を示したものである。同図より、差分情報D51に更新出力付きクロックパルス発生器(同図の例では“CELL_CK1”)が含まれ、新順序回路の接続情報D52におけるクロックパルス発

生器が、更新出力付きクロックパルス発生器に置き換えられていることがわかる。

【0109】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、更新出力付きクロックパルス発生器を備えた本発明の順序回路（新順序回路）に変換することができる。

【0110】

なお、回路設計支援装置 130 に第 5 の実施形態に係る変化検出手段生成手段を備えて、原順序回路における記憶素子を変化出力付き記憶素子に変換するようにしてもよい。

【0111】

（第 7 の実施形態）

図 29 は、本発明の第 7 の実施形態に係る通信装置の概観図である。本実施形態の通信装置である携帯電話 40 は、ベースバンド LSI 41 およびアプリケーション LSI 42 を備えている。そして、ベースバンド LSI 41 およびアプリケーション LSI 42 は、本発明に係る順序回路、たとえば、第 1 から第 3 の実施形態に係る順序回路 10, 20 および 30 のいずれかを有する半導体集積回路である。

【0112】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、ベースバンド LSI 41 およびアプリケーション LSI 42 ならびにこれらを備えた携帯電話 40 もまた低電力動作が可能となる。さらに、携帯電話 40 が備えている半導体集積回路であってベースバンド LSI 41 およびアプリケーション LSI 42 以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

【0113】

なお、本発明に係る通信装置は、携帯電話に限定されるべきではなく、これ以外にも、たとえば、通信システムにおける送信機・受信機やデータ伝送を行うモ

デム装置などを含むものである。すなわち、本発明によって、有線・無線や光通信・電気通信の別を問わず、また、デジタル方式・アナログ方式の別を問わず、あらゆる通信装置について消費電力低減の効果を得ることができる。

【0114】

(第8の実施形態)

図30は、本発明の第8の実施形態に係る情報再生装置の概観図である。本実施形態の情報再生装置である光ディスク装置50は、光ディスクから読み取った信号を処理するメディア信号処理LSI51と、その信号の誤り訂正や光ピックアップのサーボ制御を行う誤り訂正・サーボ処理LSI52とを備えている。そして、メディア信号処理LSI51および誤り訂正・サーボ処理LSI52は、本発明に係る順序回路、たとえば、第1から第3の実施形態に係る順序回路10, 20および30のいずれかを有する半導体集積回路である。

【0115】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、メディア信号処理LSI51および誤り訂正・サーボ処理LSI52ならびにこれらを備えた光ディスク装置50もまた低電力動作が可能となる。さらに、光ディスク装置50が備えている半導体集積回路であってメディア信号処理LSI51および誤り訂正・サーボ処理LSI52以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

【0116】

なお、本発明に係る情報再生装置は、光ディスク装置に限定されるべきではなく、これ以外にも、たとえば、磁気ディスクを内蔵した画像録画再生装置や半導体メモリを媒体とした情報記録再生装置などを含むものである。すなわち、本発明によって、情報が記録されたメディアの別を問わず、あらゆる情報再生装置（情報記録機能を含んでいてもよい）について消費電力低減の効果を得ることができる。

【0117】

(第9の実施形態)

図31は、本発明の第9の実施形態に係る画像表示装置の概観図である。本実施形態の画像表示装置であるテレビジョン受像機60は、画像信号や音声信号を処理する画像・音声処理LSI61と、表示画面やスピーカなどのデバイスを制御するディスプレイ・音源制御LSI62とを備えている。そして、画像・音声処理LSI61およびディスプレイ・音源制御LSI62は、本発明に係る順序回路、たとえば、第1から第3の実施形態に係る順序回路10, 20および30のいずれかを有する半導体集積回路である。

【0118】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、画像・音声処理LSI61およびディスプレイ・音源制御LSI62ならびにこれらを備えたテレビジョン受像機60もまた低電力動作が可能となる。さらに、テレビジョン受像機60が備えている半導体集積回路であって画像・音声処理LSI61およびディスプレイ・音源制御LSI62以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

【0119】

なお、本発明に係る画像表示装置は、テレビジョン受像機に限定されるべきではなく、これ以外にも、たとえば、電気通信回線を通じて配信されるストリーミングデータを表示する装置をも含むものである。すなわち、本発明によって、情報の伝送方法の別を問わず、あらゆる画像表示装置について消費電力低減の効果を得ることができる。

【0120】

(第10の実施形態)

図32は、本発明の第10の実施形態に係る電子装置の概観図である。本実施形態の電子装置であるデジタルカメラ70は、本発明に係る順序回路、たとえば、第1から第3の実施形態に係る順序回路10, 20および30のいずれかを有する半導体集積回路である信号処理LSI71を備えている。

【0121】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可

能であるため、信号処理LSI71およびこれを備えたデジタルカメラ70もまた低電力動作が可能となる。さらに、デジタルカメラ70が備えている半導体集積回路であって信号処理LSI71以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

【0122】

なお、本発明に係る電子装置は、デジタルカメラに限定されるべきではなく、これ以外にも、たとえば、各種センサ機器や電子計算機など、およそ半導体集積回路を備えた装置全般を含むものである。そして、本発明によって、電子装置全般について消費電力低減の効果を得ることができる。

【0123】

(第11の実施形態)

図33は、本発明の第11の実施形態に係る電子制御装置およびそれを備えた移動体の概観図である。本実施形態の移動体である自動車80は、電子制御装置90を備えている。電子制御装置90は、本発明に係る順序回路、たとえば、第1から第3の実施形態に係る順序回路10, 20および30のいずれかを有する半導体集積回路であって、自動車80のエンジンやトランスミッションなどを制御するエンジン・トランスミッション制御LSI91を備えている。また、自動車80は、ナビゲーション装置81(本発明の電子装置に相当)を備えている。ナビゲーション装置81もまた電子制御装置90と同様に、第1から第3の実施形態に係る順序回路10, 20および30のいずれかを有する半導体集積回路であるナビゲーション用LSI82を備えている。

【0124】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、エンジン・トランスミッション制御LSI91およびこれを備えた電子制御装置90もまた低電力動作が可能となる。同様に、ナビゲーションLSI82およびこれを備えたナビゲーション装置81もまた低電力動作が可能となる。さらに、電子制御装置90が備えている半導体集積回路であってエンジン・トランスミッション制御LSI91以外のものについても、当該半導体集積回

路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。ナビゲーション装置81についても同様のことが言える。そして、電子制御装置80の低消費電力化によって、自動車80における消費電力も低減することができる。

【0125】

なお、本発明に係る電子制御装置は、上記のエンジンやトランスミッションを制御するものに限定されるべきではなく、これ以外にも、たとえば、モータ制御装置など、およそ半導体集積回路を備え、動力源を制御する装置全般を含むものである。そして、本発明によって、そのような電子制御装置について消費電力低減の効果を得ることができる。

【0126】

また、本発明に係る移動体は、自動車に限定されるべきではなく、これ以外にも、たとえば、列車や飛行機など、およそ動力源であるエンジンやモータなどを制御する電子制御装置を備えたもの全般を含むものである。そして、本発明によって、そのような移動体について消費電力低減の効果を得ることができる。

【0127】

【発明の効果】

以上説明したように、本発明によると、順序回路に関して、仕様的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提としたクロック制御が可能となる。これにより、低電力動作が可能な順序回路を実現することができる。特に、本発明の順序回路では、記憶素子出力のフィードバックが存在しないため、回路構成およびクロック制御を単純化することができ、容易に実現することが可能である。

【0128】

さらに、回路設計支援装置を用いて、一般的な順序回路を上記の順序回路に変換することができる。これにより、これまで蓄積した回路資源を利用して、より低電力動作が可能な順序回路を容易に生成することができる。

【0129】

また、本発明の順序回路を備えた半導体集積回路およびそれを備えた電子装置

や電子制御装置について、消費電力を低減することができる。さらに、そのような電子制御装置を備えた移動体についても、消費電力を低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る順序回路の回路図である。

【図 2】

図 1 に示した順序回路のタイミングチャートである。

【図 3】

本発明の第 2 の実施形態に係る順序回路の回路図である。

【図 4】

図 3 に示した順序回路のタイミングチャートである。

【図 5】

図 3 に示した順序回路における記憶素子の回路図である。

【図 6】

図 5 に示した記憶素子のタイミングチャートである。

【図 7】

図 3 に示した順序回路における記憶素子の別の回路図である。

【図 8】

図 7 に示した記憶素子のタイミングチャートである。

【図 9】

本発明の第 3 の実施形態に係るクロック発生回路の回路図である。

【図 10】

図 9 に示したクロック発生回路のタイミングチャートである。

【図 11】

図 9 に示したクロックパルス発生器の回路図である。

【図 12】

図 11 に示したクロック発生回路のタイミングチャートである。

【図 13】

図 9 に示したクロックパルス発生器の別の回路図である。

【図14】

図13に示したクロック発生回路のタイミングチャートである。

【図15】

本発明の第3の実施形態に係る順序回路の回路図である。

【図16】

図16に示した順序回路のタイミングチャートである。

【図17】

本発明の第4の実施形態に係る回路設計支援装置の概要図である。

【図18】

スレーブセル抽出手段のフローチャートである。

【図19】

マスターセルグループ抽出手段のフローチャートである。

【図20】

変化検出手段生成手段のフローチャートである。

【図21】

クロックパルス発生器生成手段のフローチャートである。

【図22】

本発明の第4の実施形態に係る接続情報合成手段のフローチャートである。

【図23】

本発明の第5の実施形態に係る回路設計支援装置の概要図である。

【図24】

本発明の第5の実施形態に係る変化検出手段生成手段のフローチャートである

【図25】

本発明の第5の実施形態に係る接続情報合成手段のフローチャートである。

【図26】

本発明の第6の実施形態に係る回路設計支援装置の概要図である。

【図27】

クロックパルス発生器変換手段のフローチャートである。

【図28】

本発明の第6の実施形態に係る接続情報合成手段のフローチャートである。

【図29】

本発明の第7の実施形態に係る通信装置の概観図である。

【図30】

本発明の第8の実施形態に係る情報再生装置の概観図である。

【図31】

本発明の第9の実施形態に係る画像表示装置の概観図である。

【図32】

本発明の第10の実施形態に係る電子装置の概観図である。

【図33】

本発明の第11の実施形態に係る電子制御装置およびそれを備えた移動体の概観図である。

【図34】

従来のクロック制御技術の概要図である。

【図35】

別の従来のクロック制御技術の概要図である。

【符号の説明】

10, 20, 30 順序回路

11 記憶素子

11a, 11b, 11c マスターセル（記憶素子）

11d, 11e スレーブセル（記憶素子）

13 クロックパルス発生器

14 変化検出器

15, 15a～15d マスターセルグループ

16, 16a～16d クロックドメイン

21, 21A, 21B 記憶素子（変化出力付き記憶素子）

21a, 21b, 21c マスターセル（変化出力付き記憶素子）

211 ラッチ回路

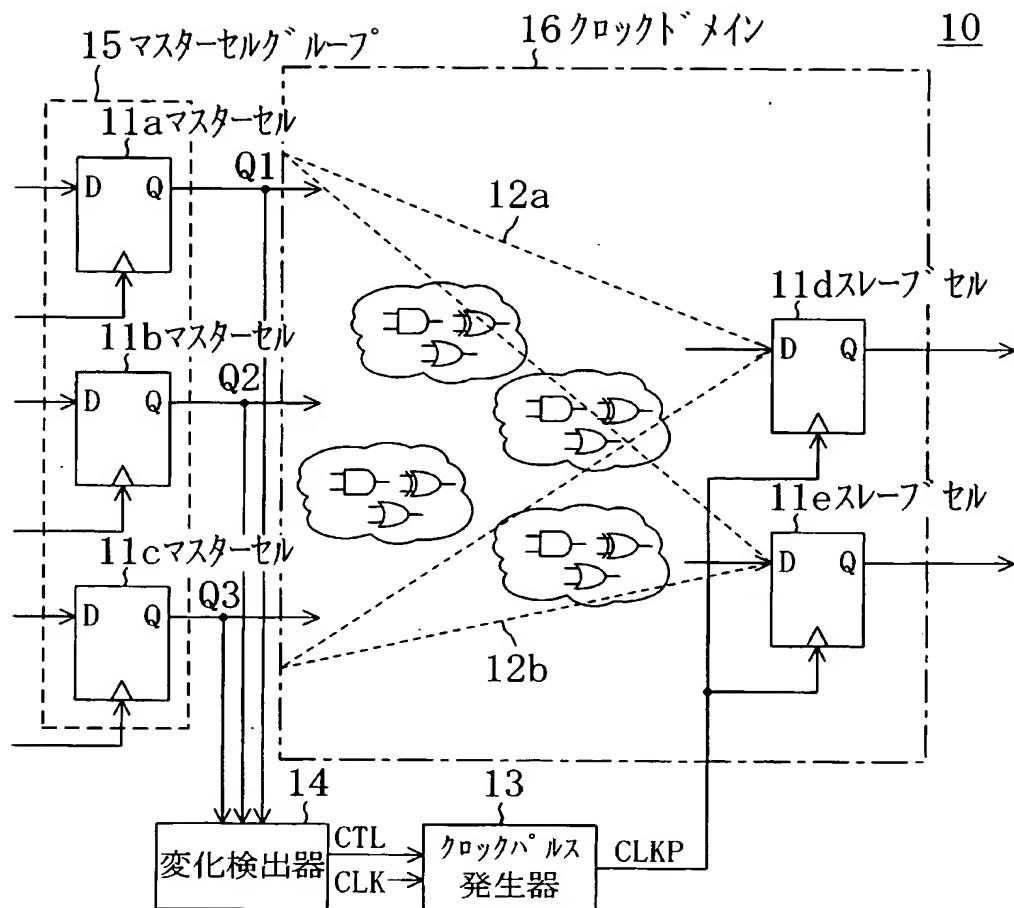
- 211a スレーブラッチ回路
- 211b マスターラッチ回路
- 212 論理素子（第1の論理素子）
- 213 遅延素子
- 214 論理素子（第2の論理素子）
- 215 基本クロック生成回路
- 218, 219 變化検出回路
- 22 クロック発生回路
- 23 クロックパルス発生器（更新出力付きクロックパルス発生器）
- 231 ラッチ回路
- 232 論理素子（第1の論理素子）
- 233 論理素子（第2の論理素子）
- 234 論理素子（第1の論理素子）
- 25, 25a～25d クロックパルス発生要求信号線
- 110, 120, 130 回路設計支援装置
- 40 携帯電話（通信装置）
- 41 アプリケーションLSI（半導体集積回路）
- 42 ベースバンドLSI（半導体集積回路）
- 50 光ディスク装置（情報再生装置）
- 51 メディア信号処理LSI（半導体集積回路）
- 52 誤り訂正・サーボ処理LSI（半導体集積回路）
- 60 テレビジョン受像機（画像表示装置）
- 61 画像・音声処理LSI（半導体集積回路）
- 62 ディスプレイ・音源制御LSI（半導体集積回路）
- 70 デジタルカメラ（電子装置）
- 71 信号処理LSI（半導体集積回路）
- 80 自動車（移動体）
- 81 ナビゲーション装置（電子装置）
- 82 ナビゲーション用LSI（半導体集積回路）

90 電子制御装置

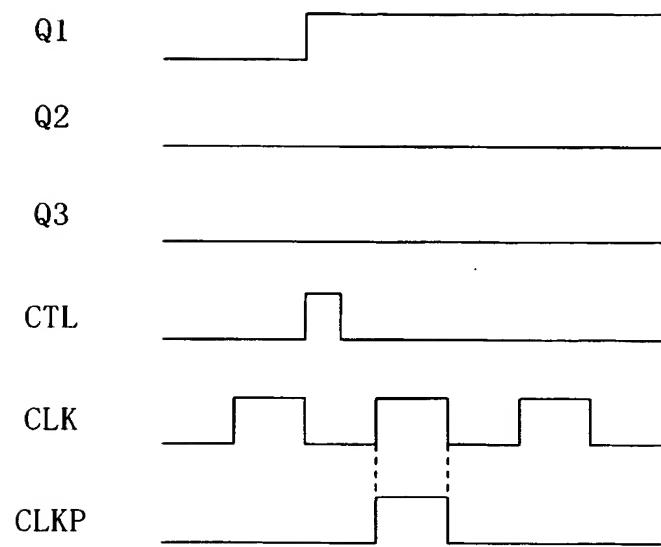
91 エンジン・トランスマッショントリニティ（半導体集積回路）

【書類名】 図面

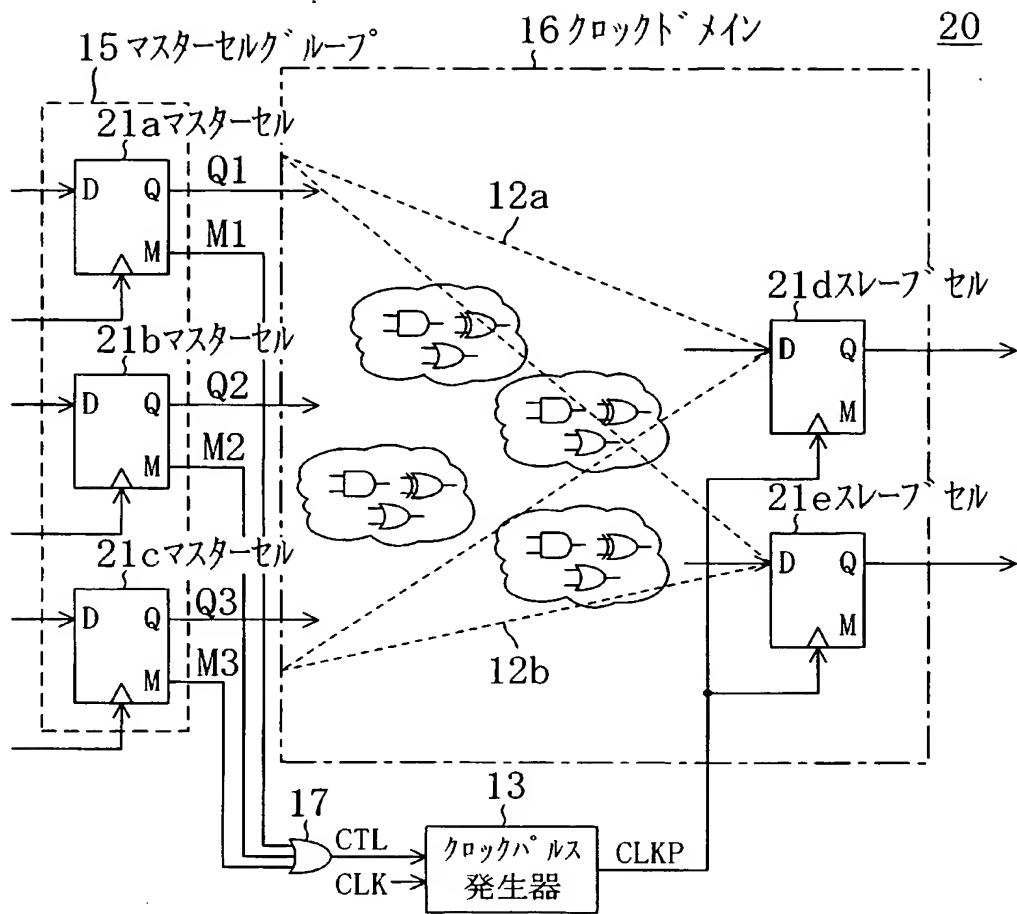
【図 1】



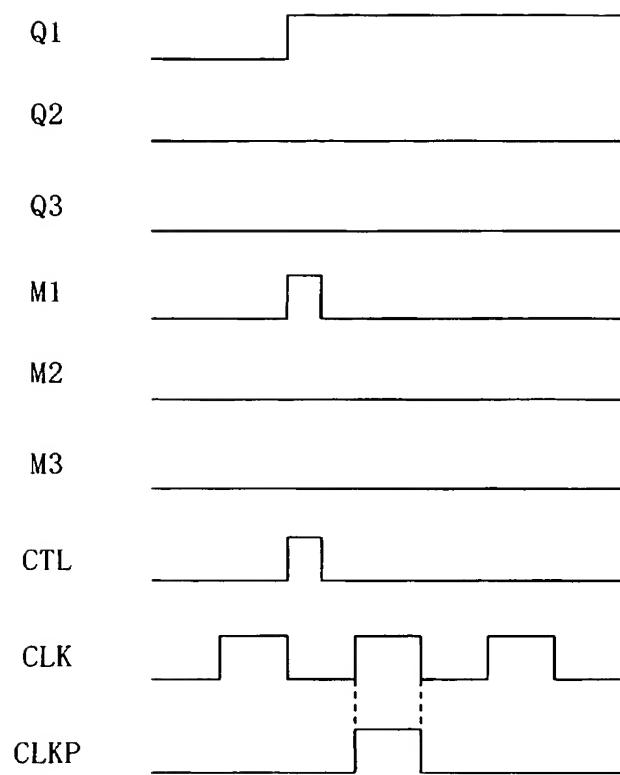
【図 2】



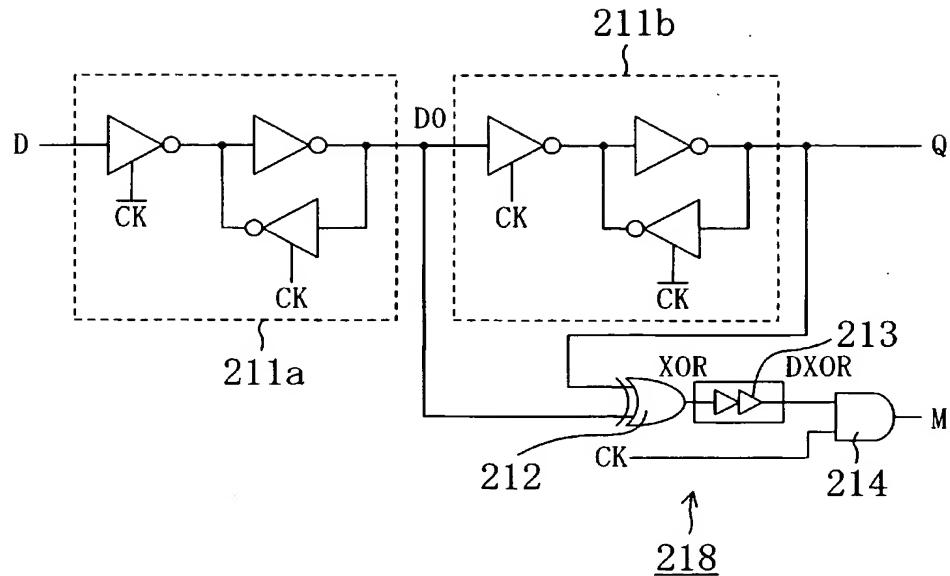
【図3】



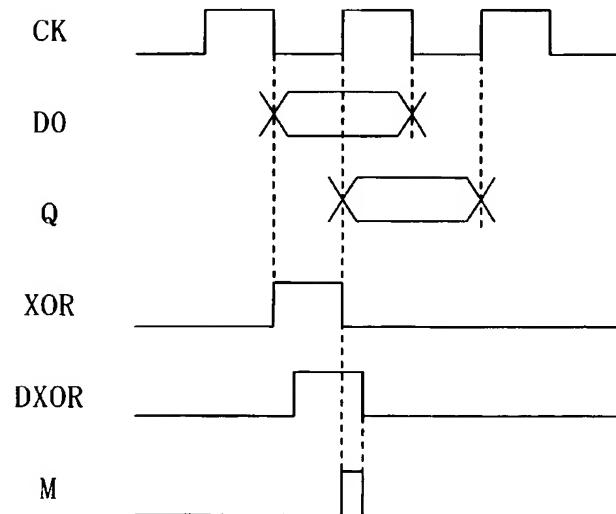
【図4】



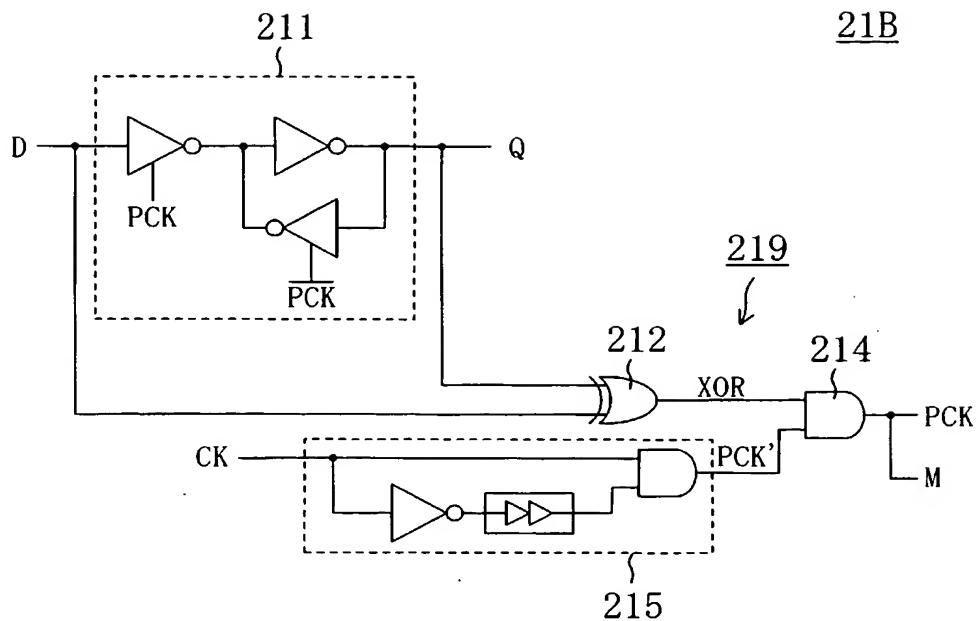
【図5】

21A

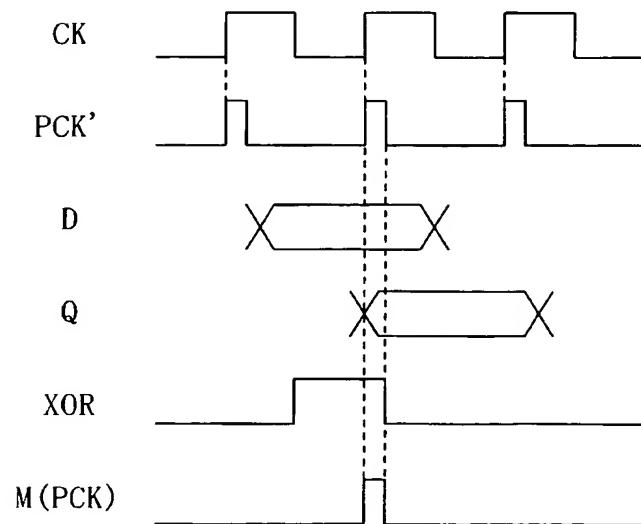
【図6】



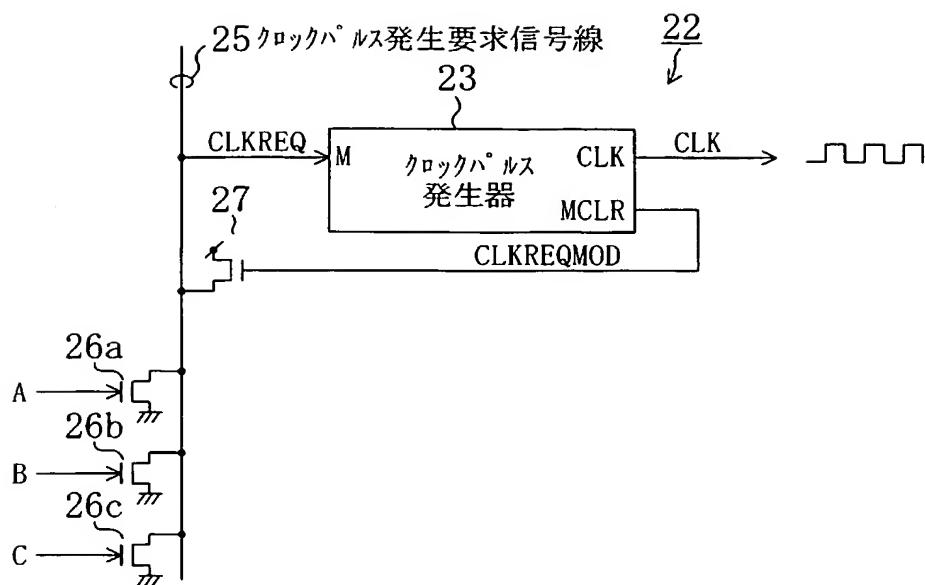
【図7】



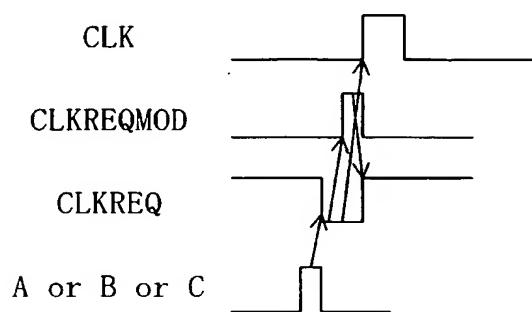
【図8】



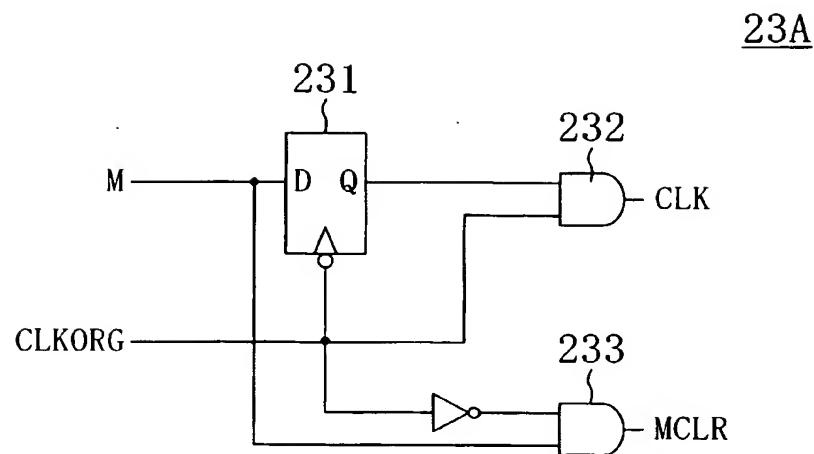
【図9】



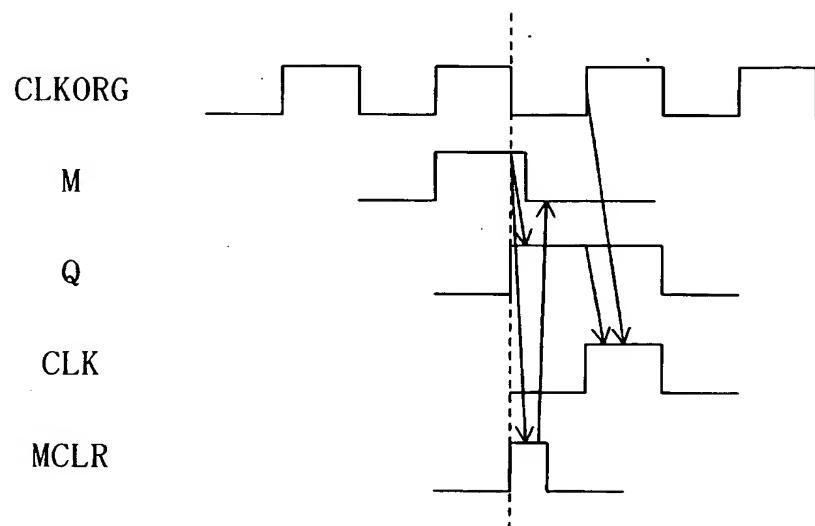
【図10】



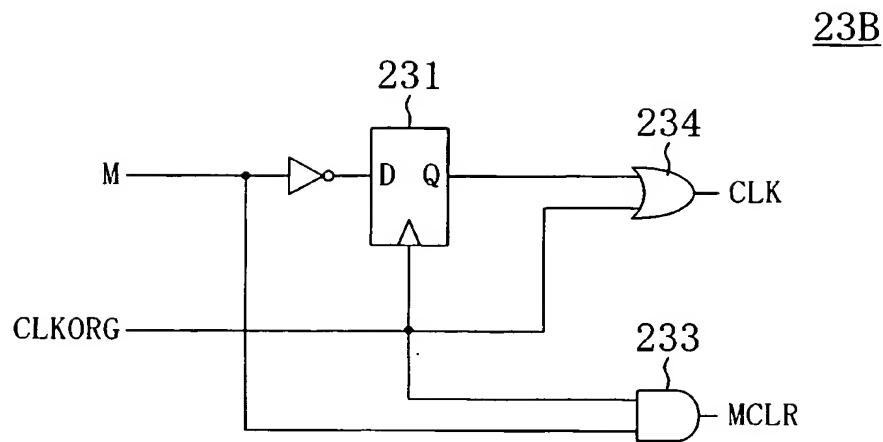
【図11】



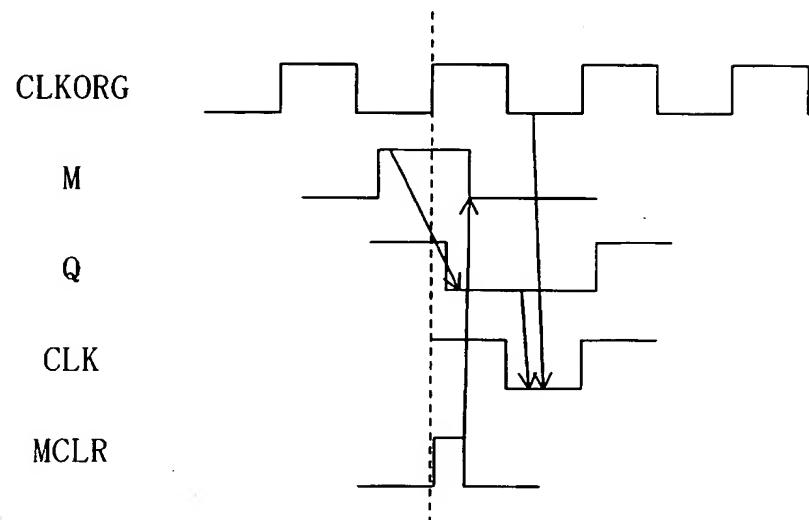
【図12】



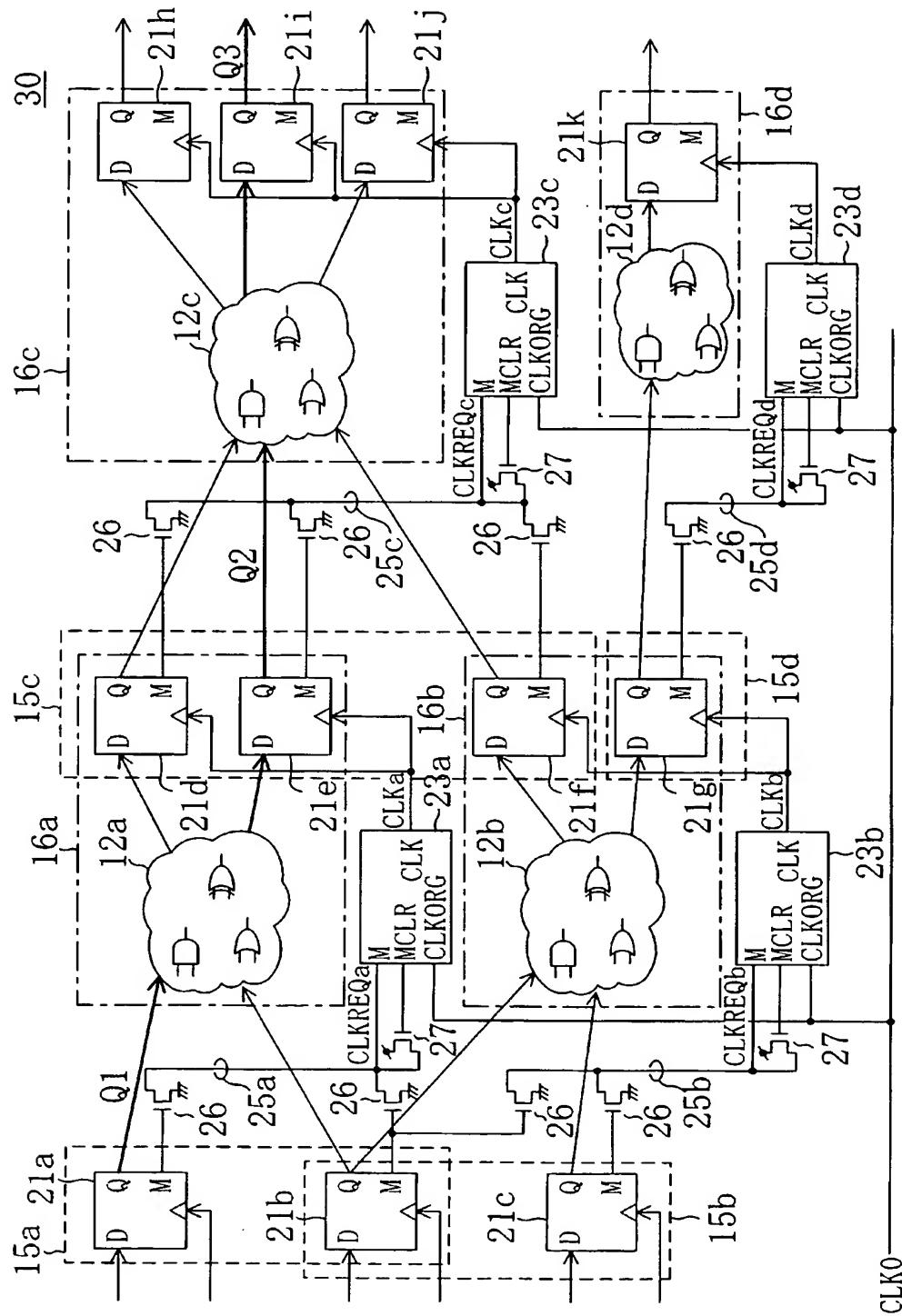
【図 1 3】



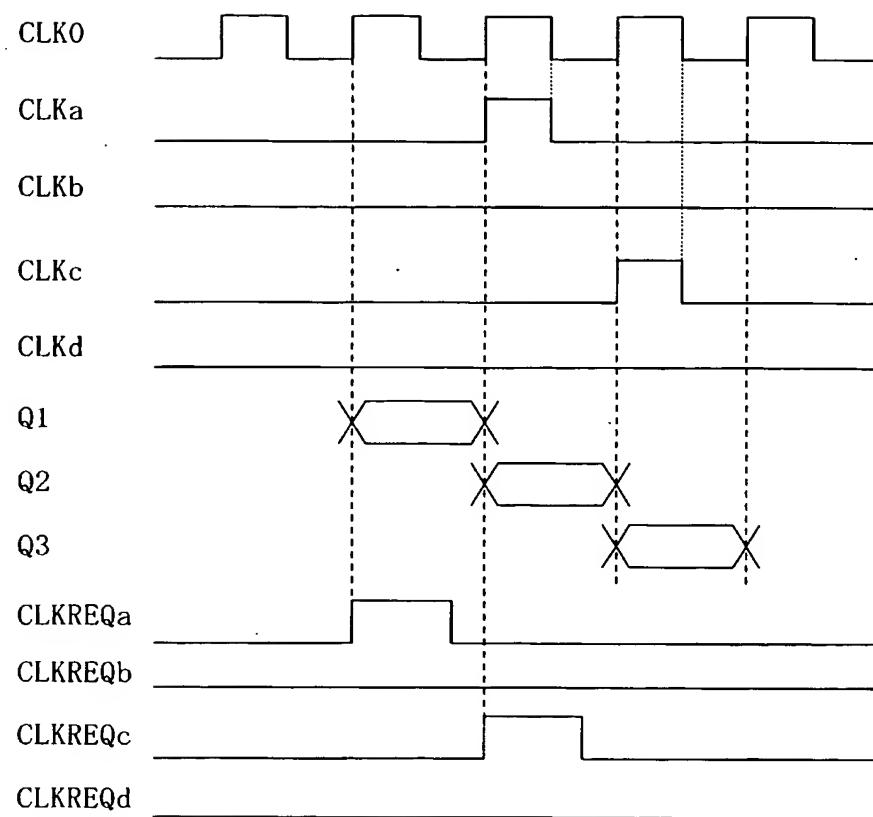
【図 1 4】



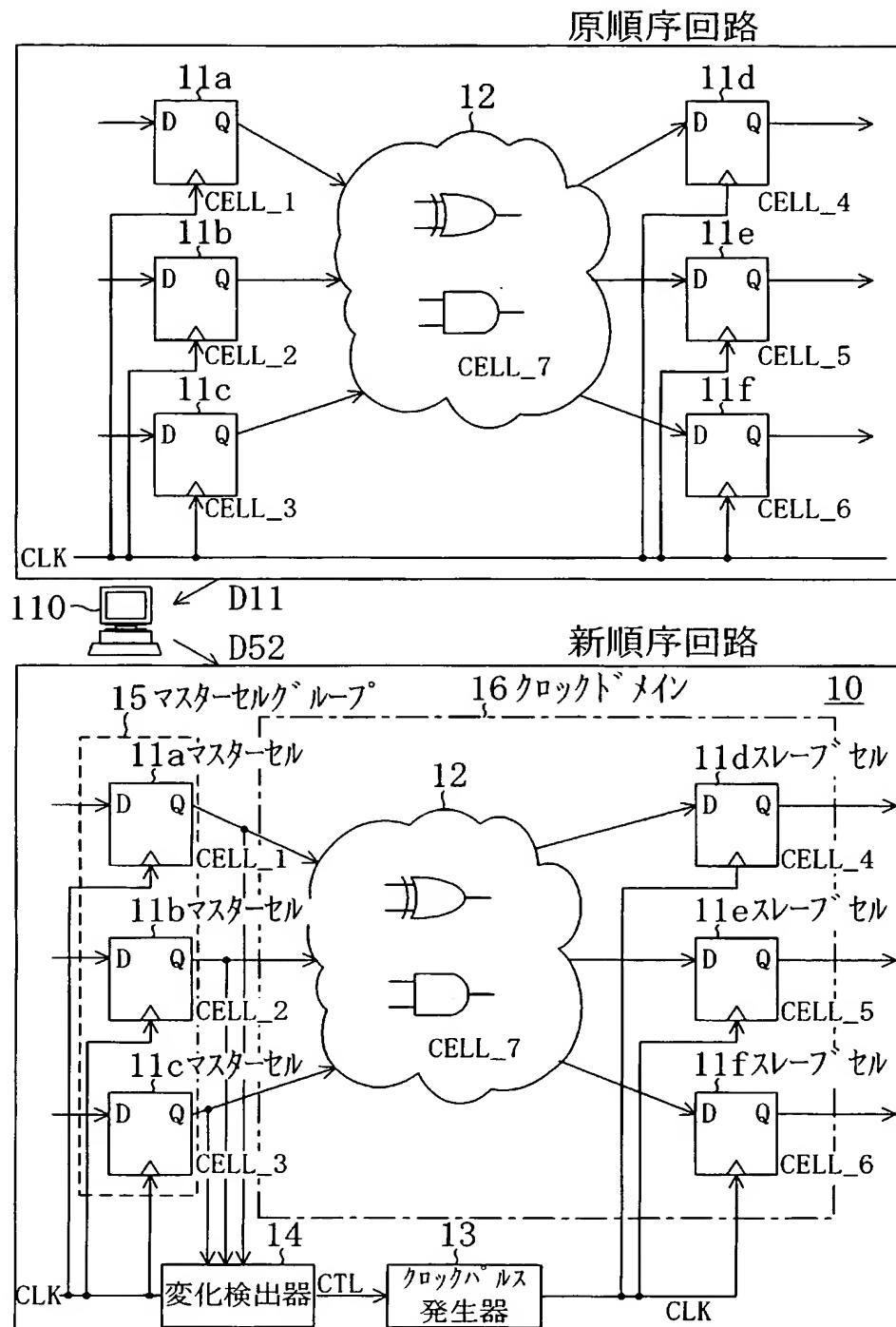
【図15】



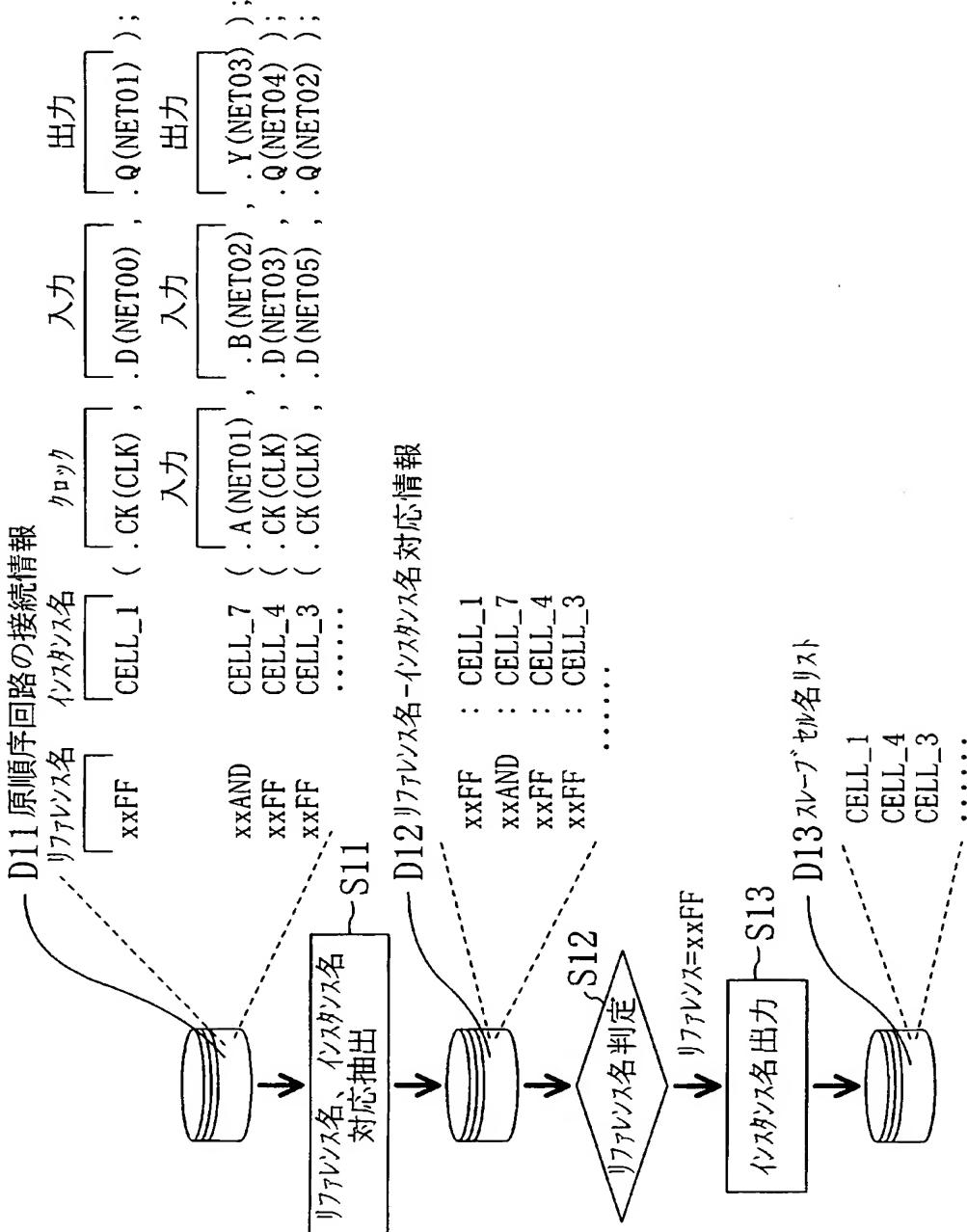
【図16】



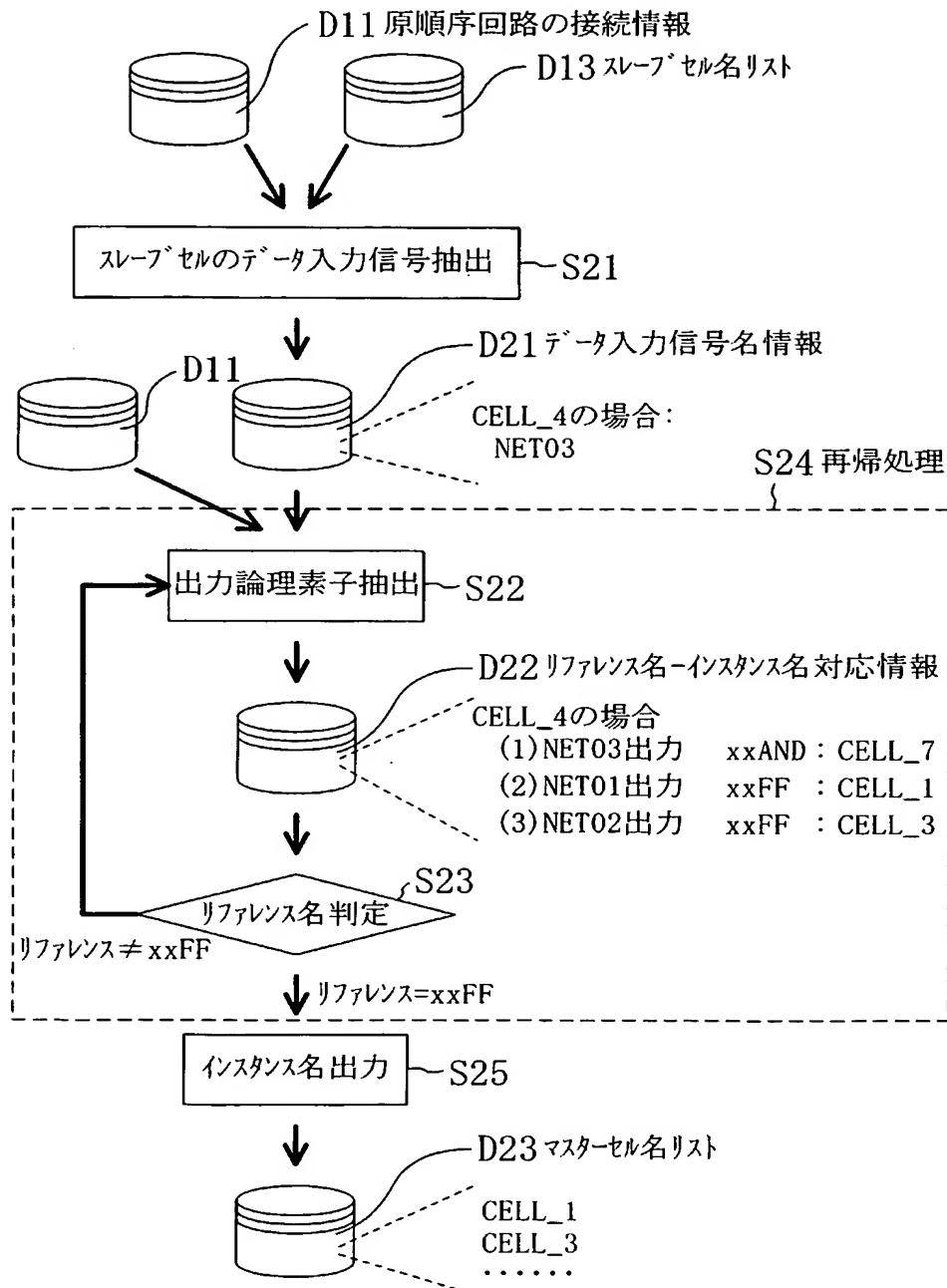
【図 17】



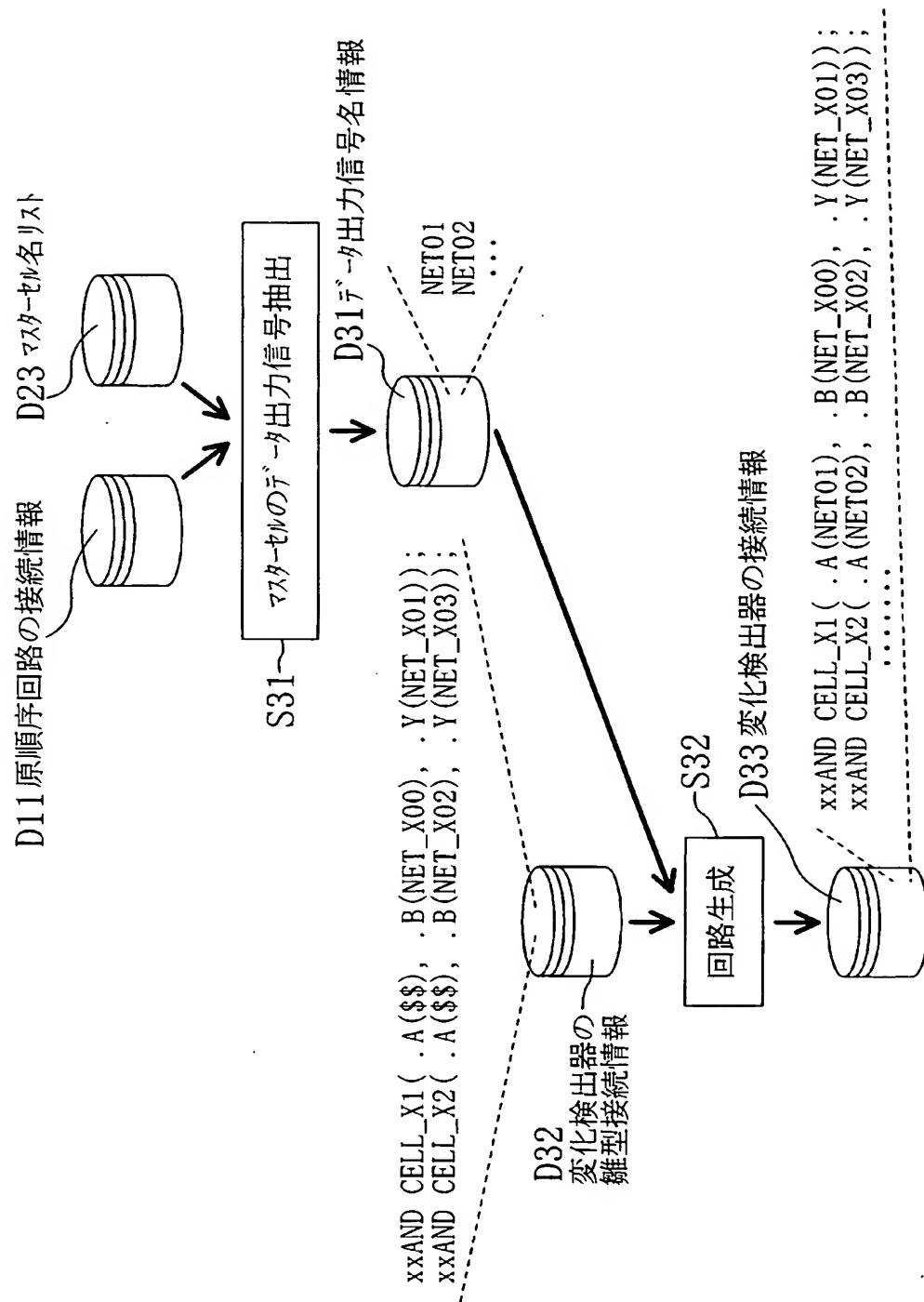
【図 18】



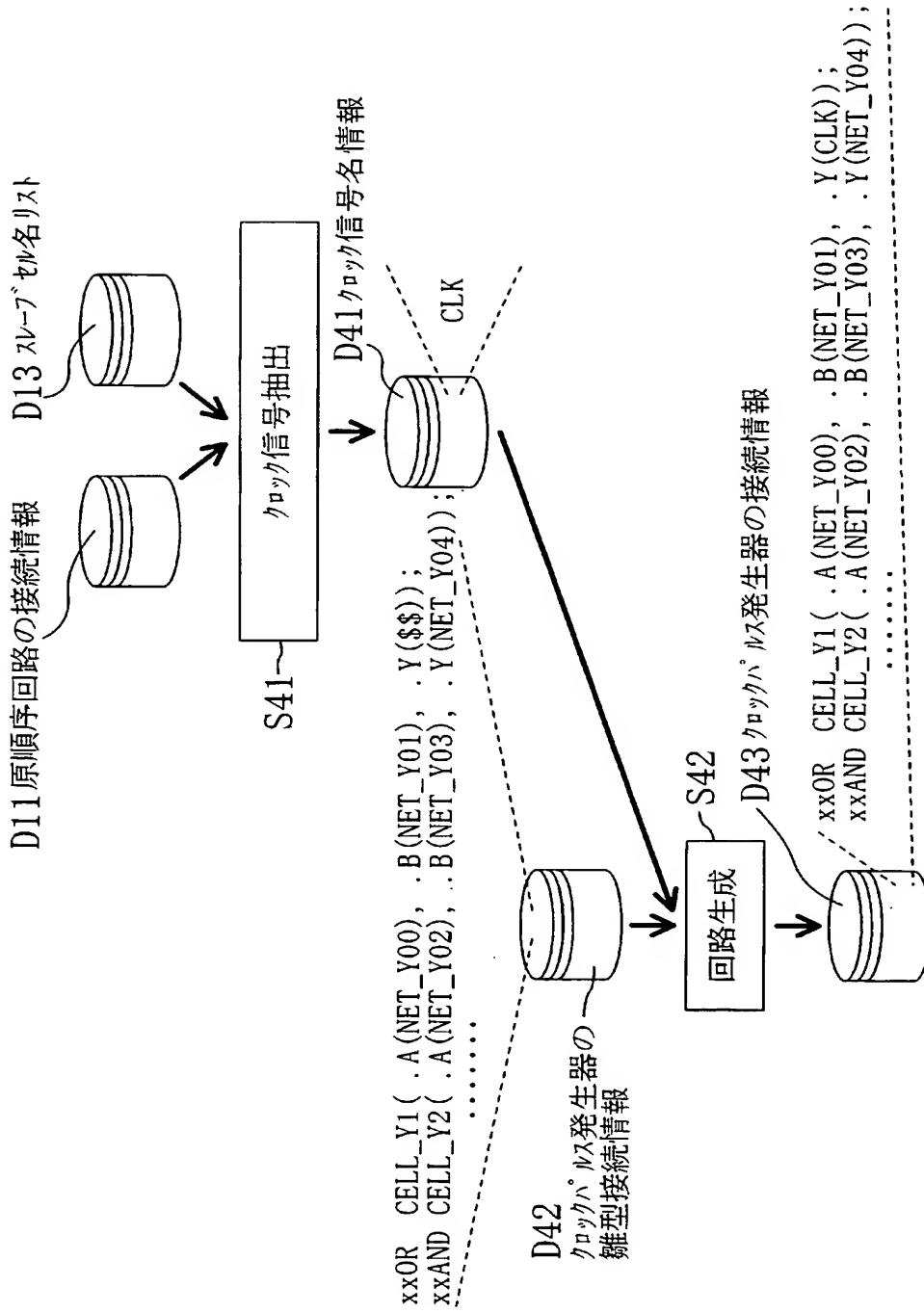
【図19】



【図 20】

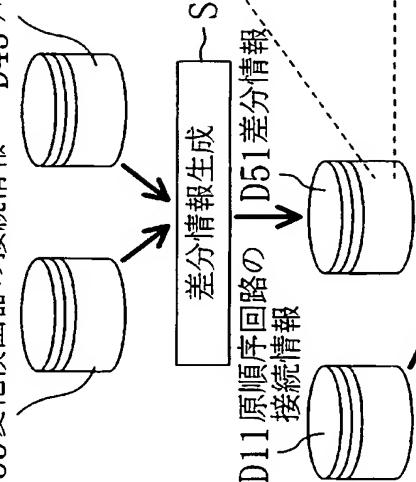


【図21】



【図22】

D33 変化検出器の接続情報 D43 クロックパルス発生器の接続情報



差分情報生成

～S51

D1.1 原順序回路の接続情報

```

xxAND CELL_X1( .A(NET01), .B(NET_X00), .Y(NET_X01));
xxAND CELL_X2( .A(NET02), .B(NET_X02), .Y(NET_X03));
xxOR CELL_Y1( .A(NET_Y00), .B(NET_Y01), .Y(CLK));
xxAND CELL_Y2( .A(NET_T02), .B(NET_Y03), .Y(NET_Y04));

```

接続情報生成

～S52

↓ D52 新順序回路の接続情報

```

xxAND CELL_X1( .A(NET01), .B(NET_X00), .Y(NET_X01));
xxAND CELL_X2( .A(NET02), .B(NET_X02), .Y(NET_X03));
xxOR CELL_Y1( .A(NET_Y00), .B(NET_Y01), .Y(CLK));
xxAND CELL_Y2( .A(NET_Y02), .B(NET_Y03), .Y(NET_Y04));

```

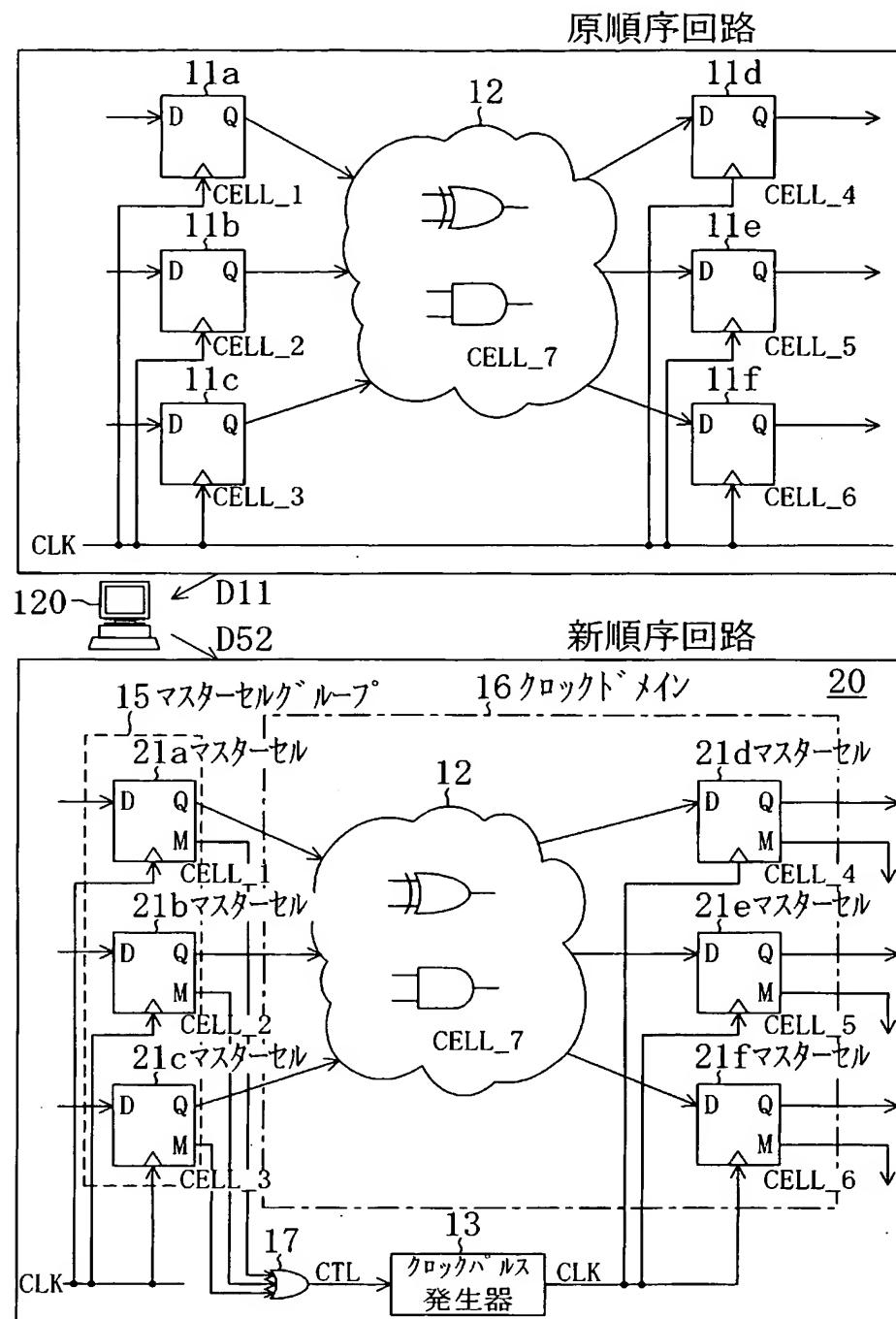


```

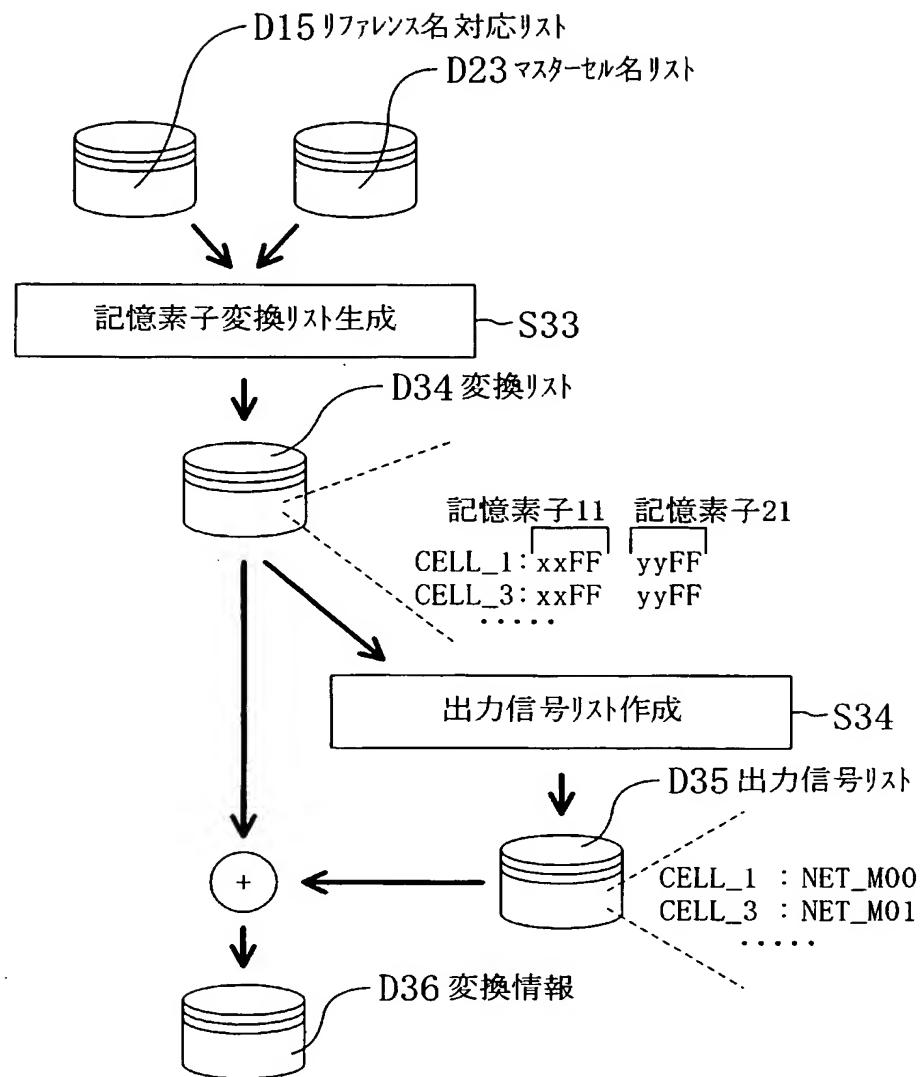
xxFF CELL_1( .CK(CLK), .D(NET00), .Q(NET01));
xxAND CELL_7( .A(NET01), .B(NET02), .Y(NET03));
xxFF CELL_4( .CK(CLK), .D(NET03), .Q(NET04));
xxFF CELL_3( .CK(CLK), .D(NET05), .Q(NET02));

```

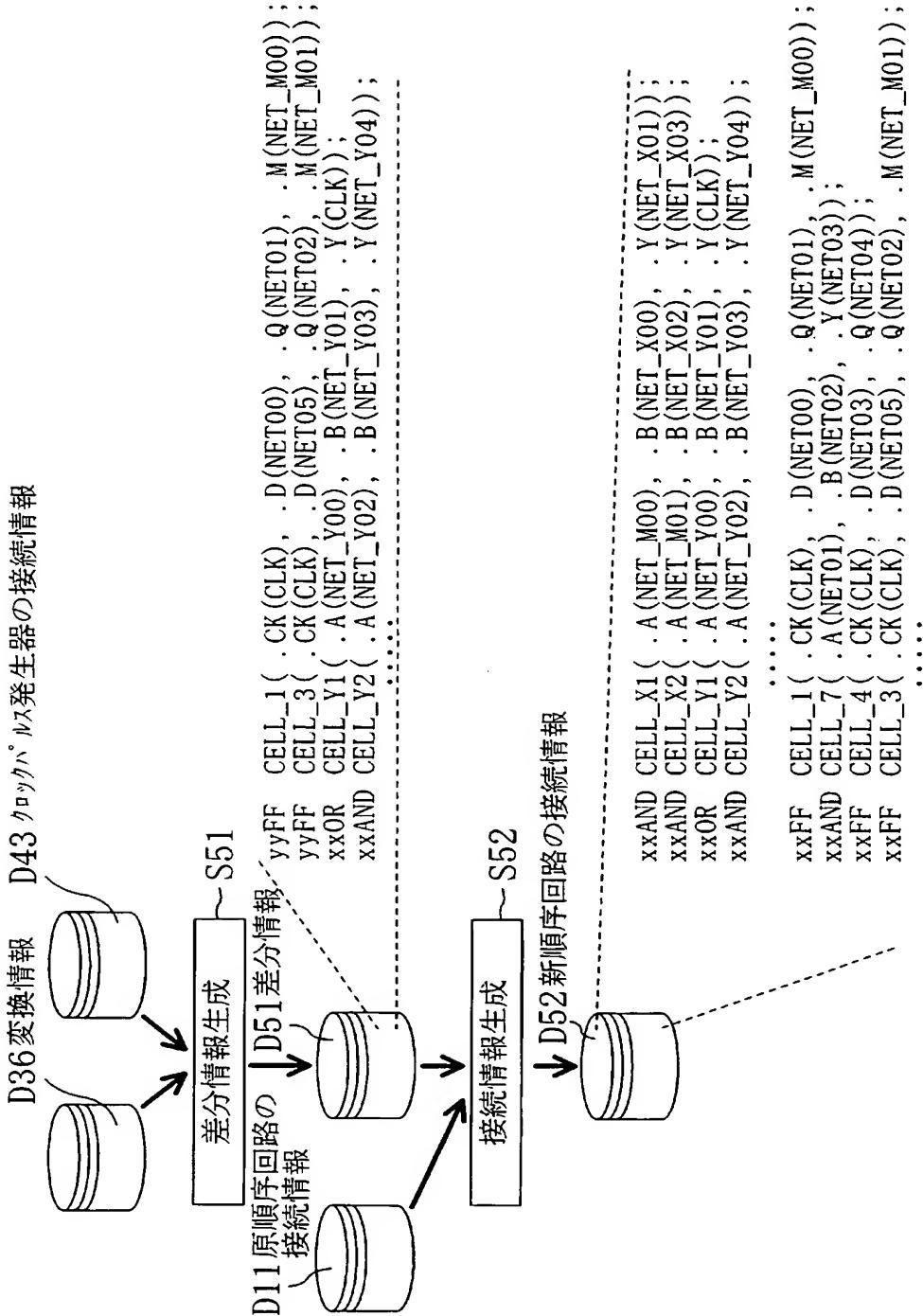
【図23】



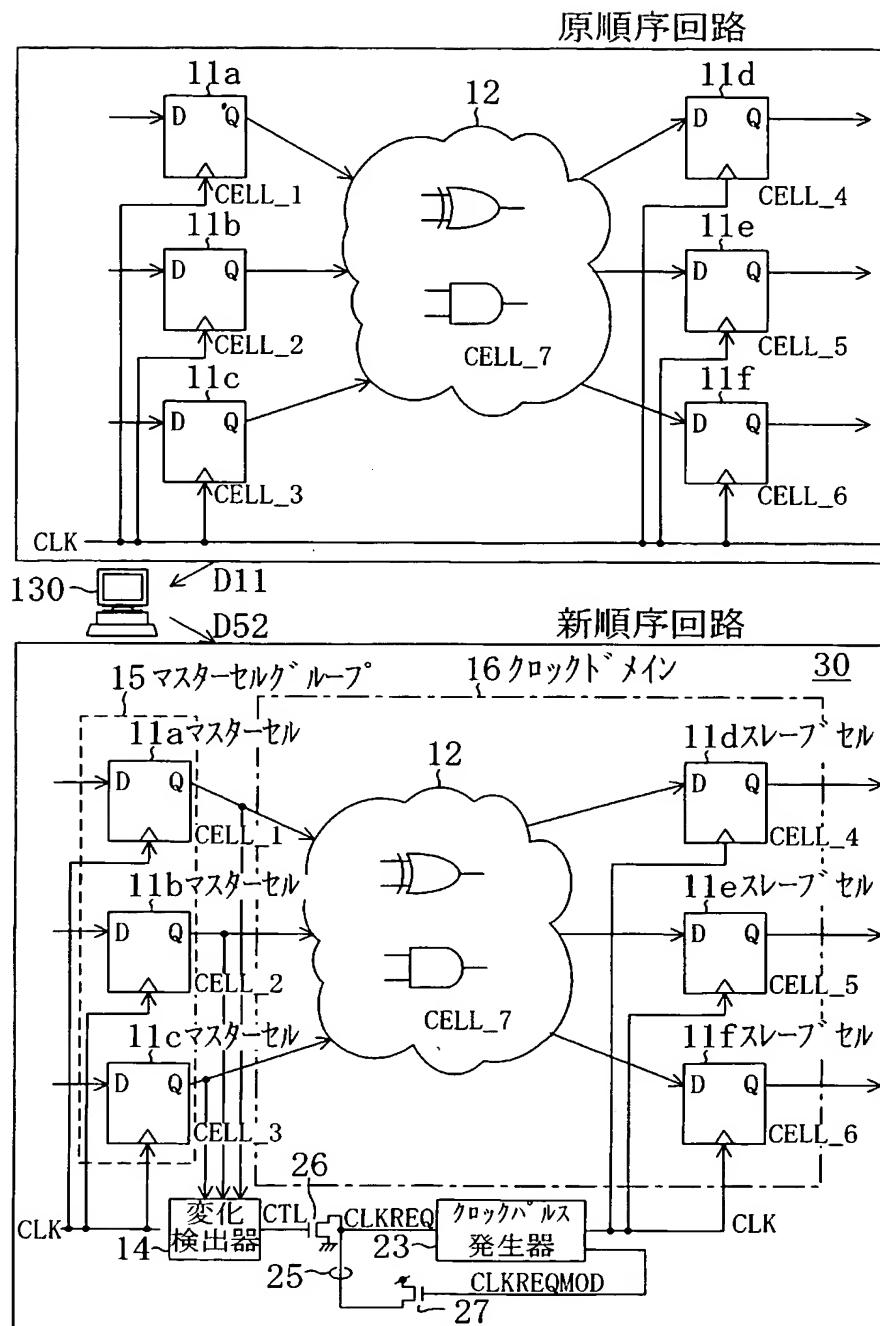
【図24】



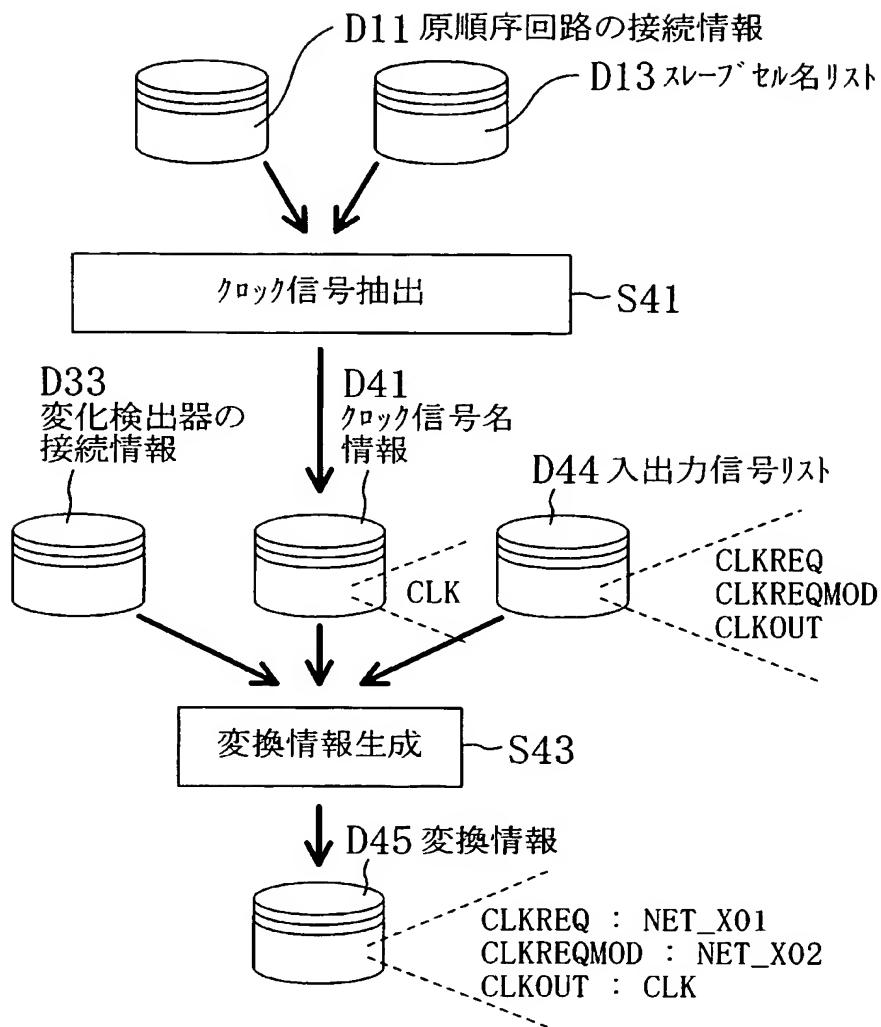
【図 25】



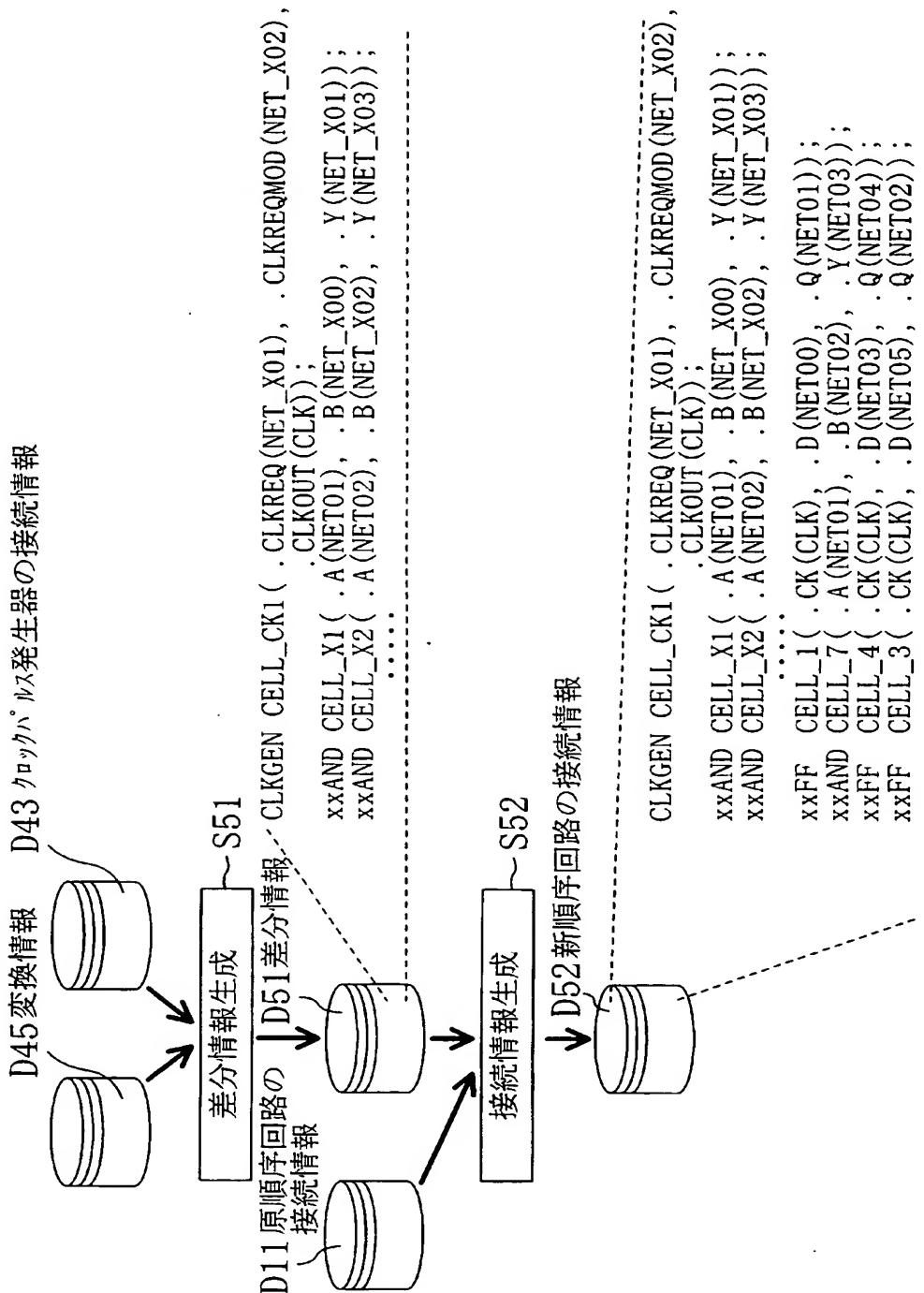
【図26】



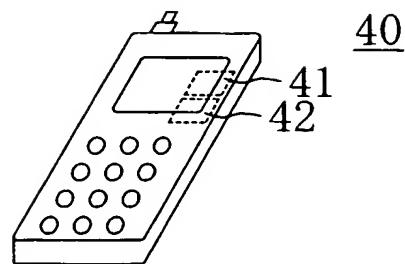
【図 27】



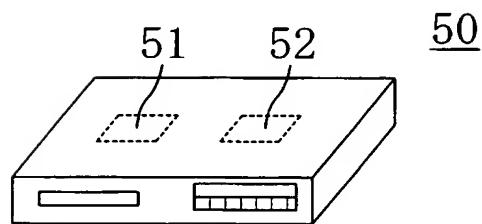
【図 28】



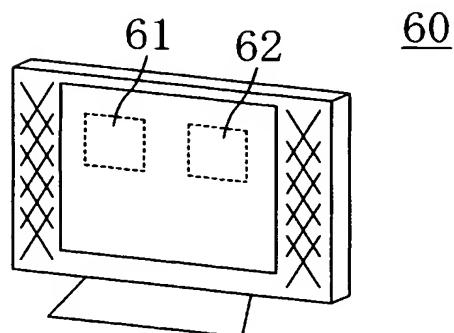
【図29】



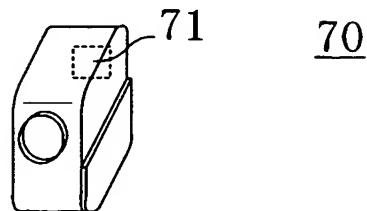
【図30】



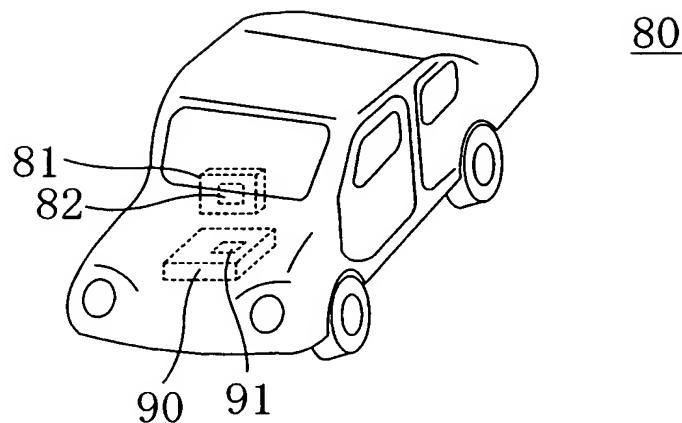
【図31】



【図32】

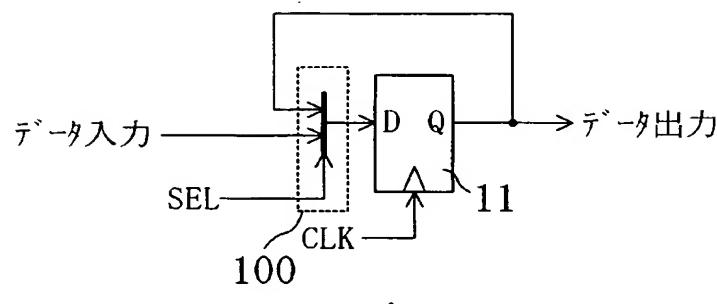


【図33】



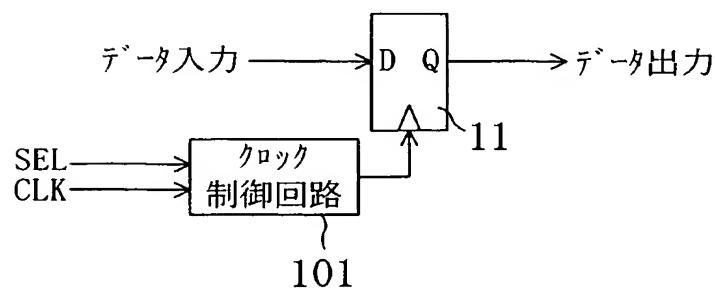
【図34】

(a)



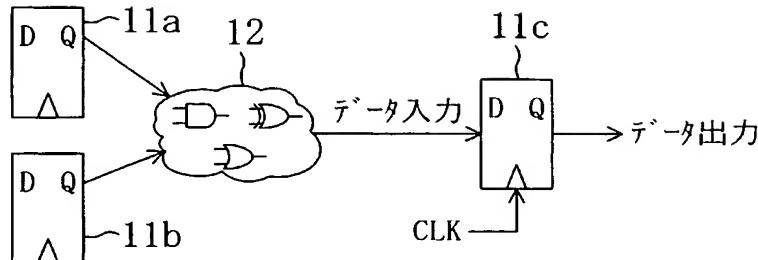
記憶素子の更新機能が
等価であるとみなして
置き換える

(b)



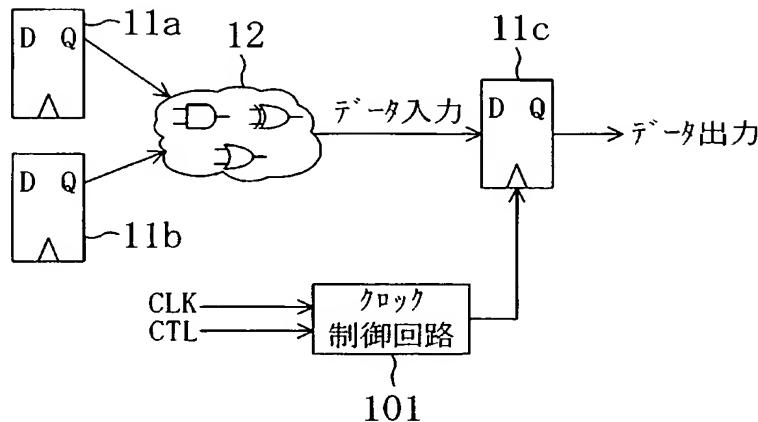
【図35】

(a)



記憶素子の出力変化が
機能に影響しない場合は
CLKを停止しても
等価であるとみなして
置き換える

(b)



【書類名】 要約書

【要約】

【課題】 仕様的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提とした、順序回路のクロック制御を実現する。

【解決手段】 順序回路10に、マスターセルグループ15に属する記憶素子であるマスターセル11a, 11a, 11cのいずれかの記憶内容が変化したことを検出してクロック制御信号CTLを出力する変化検出器14と、クロック制御信号CTLを受けてクロックパルスCLKPを発生させ、クロックドメイン16に属する記憶素子であって、マスターセルグループ15に属する記憶素子であるマスターセル11a, 11a, 11cのいずれかの記憶内容が変化することによって入力が変化するスレーブセル11d, 11eに、クロックパルスCLKPを与えるクロックパルス発生器13とを設ける。

【選択図】 図1

特願 2003-034532

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社